

デザインガイア2010

2010年11月29日(月)～12月1日(水) 於九州大学医学部百年講堂

電子情報通信学会 VLSI設計技術研究会(VLD)
 電子情報通信学会 ディペンダブルコンピューティング研究会(DC)
 電子情報通信学会 コンピュータシステム研究会(CPSY)
 電子情報通信学会 リンコンフィギャラブルシステム研究会(RECONF)

情報処理学会 システムLSI設計技術研究会(SLDM)
 電子情報通信学会 電子部品・材料研究会(CPM)
 電子情報通信学会 集積回路研究会(ICD)

11月29日

【中ホール2】	【中ホール3】
	10:40～12:00 CPM/ICD 電源雑音・伝送線路 座長:金谷 晴一(九大)
	1. CMOSデジタルLSIにおける電源雑音の周波数成分評価 ○吉川薫平・松本 大・佐々木悠太(神戸大)・永田 真(神戸大/CREST-JST) 2. SRAMコアにおけるオンチップ電源雑音の発生と注入の評価 ○澤田卓也・利川 托・榊井 翼(神戸大)・永田 真(神戸大/CREST-JST) 3. アナログ基本回路の基板雑音感度に関する考察 ○高谷 聡・坂東要志・長谷川貴士(神戸大)・大川 徹・早田征明・宝本敏治・山田利夫・熊代成孝・最上 徹(半導体先端テクノロジーズ)・永田真(神戸大) 4. セグメント分割伝送線の波形整形能力の評価 ～ インダクタンスを含む伝送系について～ ○島田弘基・秋田翔平・石黒将巳・安永守利・相部範之(筑波大)・吉原郁夫(宮崎大)
13:30～15:10 VLD/DC/SLDM 高位設計1 座長:小松 聡(東大)	13:30～14:50 CPM/ICD 光配線と高速伝送技術(1) 座長:松岡 俊匡(阪大)
1. ITS画像処理アルゴリズムの数学的記述から電子システム記述への変換の一手法 ○藤田有希生・都築正憲・杉田善哉・福井正博(立命館大) 2. 仮想マルチプロセッサモデルに基づく高速SoCプロトタイプング手法 ○吉田浩章・藤田昌宏(東大) 3. 発見的解法に基づくスケーラブルなインクリメンタル高位合成手法 ○小野翔平・吉田浩章・藤田昌宏(東大) 4. EFSM-based weight-oriented concolic testing for embedded software ○Giuseppe Di Guglielmo(University of Tokyo)・Masahiro Fujita(University of Tokyo/JST CREST)・Franco Fummi・Graziano Pravadelli・Stefano Soffia(University of Verona) 5. マルチサイクル故障に耐性を持つデータパスのためのバインディング法 ○邊見勇登・吉川祐樹・市原英行・井上智生(広島市大)	1. [招待講演]LSI配線の課題と光配線 ○横山 新・雨宮嘉照(広島大) 2. [招待講演]LSIチップ光配線開発の現状と課題 ○大橋啓之(MIRAI-Selete/NEC)・最上 徹(MIRAI-Selete)
15:25～17:05 VLD/DC/SLDM テスト設計1 座長:井上 浩明(NEC)	15:00～16:20 CPM/ICD 光配線と高速伝送技術(2) 座長:山田 浩(東芝)
1. スキャンBISTにおけるマルチサイクルテストと部分観測方式の提案と評価 ○山口久登・松蘭 誠・佐藤康夫・梶原誠司(九工大) 2. キャプチャ時低消費電力指向テスト生成における検出疑似外部出力決定法 ○沈 揚・細川利典(日大)・吉村正義(九大) 3. Rotating Test and Pattern Partitioning for Field Test ○Senling Wang・Seiji Kajihara・Yasuo Sato・Kouhei Miyase・Xiaoqing Wen(Kyushu Insti. Tech.) 4. 画像伸張回路を用いた組込みテスト生成に関する実験的考察 ○岩本由香・吉川祐樹・市原英行・井上智生(広島市大) 5. 上位設計記述の解析を利用した製造後機能テストの効率化 ○松本剛史(東大)・藤田昌宏(東大/JST CREST)	1.[招待講演]光配線技術の研究動向と将来展望 ○菅原俊樹・松岡康信・斎藤慎一・松嶋直樹・辻 伸二(日立) 2. [招待講演]最先端半導体製品のESD設計技術動向 ○石塚裕康(ルネサス)
	16:30～18:00 CPM/ICD [パネル討論]光と電気は融合可能か? モデレータ:益 一哉(東工大) パネラー:横山 新(広島大),大橋 啓之(NEC, MIRAI-Selete),菅原 俊樹(日立中研),石塚 裕康(ルネサスエレクトロニクス),土谷 亮(京大)

11月30日

【中ホール1】	【中ホール2】	【中ホール3】
	<p>9:10~10:10 CPM/ICD ドライバ回路と新アーキテクチャ 座長:土谷 亮(京大)</p> <p>1. DPAA技術を用いた17 Gb/s光配線用VCSELドライバ ○谷口隆哉・大島賢一・山下喜市(鹿児島大)・矢崎 徹・中條徳男(日立)</p> <p>2. ビアプログラマブルストラクチャードASIC・VPEXの新アーキテクチャ提案と性能評価 ○堀 遠平・北森達也・上岡泰輔・藤野 毅(立命館大)・吉川雅弥(名城大)</p> <p>3. ダイナミック光再構成型ゲートアレイの動的部分再構成の性能評価 ○ゲンジャラム アマルジャルガル・渡邊 実(静岡大)</p> <p>10:25~11:45 OPM/ICD 高密度システムインテグレーション技術 座長:大島 賢一(鹿児島大)</p> <p>1. [招待講演]3次元LSIチップ積層集積技術に期待されるシステム性能の向上 ○青柳昌宏(産総研)</p> <p>2. [招待講演]擬似SoCを用いた異種デバイス集積ウエハレベルシステムインテグレーション技術 ○山田 浩・小野塚 豊・飯田敦子・板谷和彦・舟木英之(東芝 研究開発センター)</p>	<p>9:30~10:30 VLD/DC/SLDM プロセッサ設計 座長:木村 晋二(早大)</p> <p>1. FIFOをキャッシュ置換えポリシーとする正確なキャッシュ構成シミュレーションの高速化 ○多和田雅師・柳澤政生・大附辰夫・戸川 望(早大)</p> <p>2. 細粒度電源管理に対応したVLIW型プロセッサ向け消費電力最小命令スケジューリング手法 ○谷口一徹・内田充哉・富山宏之・福井正博(立命館大)</p> <p>3. パケット転送経路の偏りに着目した高性能非同期式ネットワークオンチップの検討 ○武安 聡・今井 雅・中村 宏(東大)</p> <p>10:45~11:45 VLD/DC/SLDM 論理設計1 座長:齋藤 寛(会津大)</p> <p>1. 通信フレーム処理向けFPGA構成および検証方法 ○草場 律・川合賢治・安田禎之・重松智志・中西 衛・浦野正美(NTT)</p> <p>2. 高性能SoCプロトタイプのFPGA実装方式の検討 ○谷田英生・吉田浩章・藤田昌宏(東大)</p> <p>3. 投票高々1衝突化手法を用いた小面積画素並列ハフ変換回路の設計 ○中村一博・高木一義(名大)・高木直史(京大)</p>
<p>13:15~14:35 CPSY システムアーキテクチャ1 座長:三好 健文(電通大)</p> <p>1. 高位合成を意識した変数の有効データ範囲解析手法の検討 ○朝永健司・久我守弘・末吉敏則(熊本大)</p> <p>2. FPGAにおける高速シリアル通信を用いたASICエミュレータ向け配線仮想化の検討 ○藪田敏生・一ノ宮佳裕・久我守弘・末吉敏則(熊本大)</p> <p>3. 優先度付きオンチップネットワーク向けのルーターアーキテクチャ ○向後卓磨・山崎信行(慶大)</p> <p>4. GPUによる実対称三重対角行列の固有値算出手法の検討 ○松延耕平・土肥慶亮・柴田裕一郎・小栗 清(長崎大)</p>	<p>13:15~14:55 RECONF リコンフィギュラブル並列システムと設計ツール 座長:泉 知論(立命館大)</p> <p>1. FPGAアレイを用いた再構成可能なHPCシステムの評価及び高位言語による回路生成 ○高橋健一・黎 江・磯貝弘毅・番場大貴・田向 権・関根優年(東京農工大)</p> <p>2. Ethernetによる疎結合型FPGAクラスタシステムのためのOS機能 ○児島 彰・梶山恭弘・弘中哲夫(広島市大)</p> <p>3. 先読みヘテロジニアスマDDマシンについて ○中原啓貴・笹尾 勤・松浦宗寛(九工大)</p> <p>4. An FPGA Implementation of CRC Slicing-by-N algorithms ○Amila Akagic・Hideharu Amano(Keio University)</p> <p>5. タスクの振舞いを考慮した動的部分再構成システム向けスケジューリングの検討 ○堤 喜章・久我守弘・末吉敏則(熊本大)</p>	<p>13:15~14:15 VLD/DC/SLDM 招待講演 座長:瀬戸 謙修(東京都市大)</p> <p>1. [招待講演]国際会議への論文の執筆ガイド ~ VLSI設計技術分野での一考察 ~ ○橋本昌宜(阪大)</p> <p>14:15~14:55 VLD/DC/SLDM 論理設計2 座長:星 直之(三菱電機)</p> <p>1. 動的なスイッチング情報を用いたパワーゲーティング回路向け高精度時間解析法の提案 ○武田清大・金 均東・中村 宏(東大)・宇佐美公良(芝浦工大)</p> <p>2. 確率的動作モデルを用いたオシレータベース物理乱数生成器の設計手法 ○天木健彦・橋本昌宜・密山幸男・尾上孝雄(阪大/JST CREST)</p>
<p>15:30~17:00 ポスターセッション 【交流ホール】</p>		
<p>1. FIFOをキャッシュ置換えポリシーとする正確なキャッシュ構成シミュレーションの高速化 ○多和田雅師・柳澤政生・大附辰夫・戸川 望(早大)</p> <p>2. 通信フレーム処理向けFPGA構成および検証方法 ○草場 律・川合賢治・安田禎之・重松智志・中西 衛・浦野正美(NTT)</p> <p>3. パケット転送経路の偏りに着目した高性能非同期式ネットワークオンチップの検討 ○武安 聡・今井 雅・中村 宏(東大)</p> <p>4. 仮想マルチプロセッサモデルに基づく高速SoCプロトタイプング手法 ○吉田浩章・藤田昌宏(東大)</p> <p>5. 発見的解法に基づくスケーラブルなインクリメンタル高位合成手法 ○小野翔平・吉田浩章・藤田昌宏(東大)</p> <p>6. 高性能SoCプロトタイプのFPGA実装方式の検討 ○谷田英生・吉田浩章・藤田昌宏(東大)</p> <p>7. マルチサイクル故障に耐性を持つデータパスのためのバインディング法 ○邊見勇登・吉川祐樹・市原英行・井上智生(広島市大)</p> <p>8. 画像伸張回路を用いた組み込みテスト生成に関する実験的考察 ○岩本由香・吉川祐樹・市原英行・井上智生(広島市大)</p> <p>9. 高位合成を意識した変数の有効データ範囲解析手法の検討 ○朝永健司・久我守弘・末吉敏則(熊本大)</p> <p>10. FPGAにおける高速シリアル通信を用いたASICエミュレータ向け配線仮想化の検討 ○藪田敏生・一ノ宮佳裕・久我守弘・末吉敏則(熊本大)</p> <p>11. GPUによる実対称三重対角行列の固有値算出手法の検討 ○松延耕平・土肥慶亮・柴田裕一郎・小栗 清(長崎大)</p> <p>12. インデックスの先読みを行うヘテロジニアスマDDマシンについて ○中原啓貴・笹尾 勤・松浦宗寛(九工大)</p> <p>13. An FPGA Implementation of CRC Slicing-by-N algorithms ○Amila Akagic・Hideharu Amano(Keio University)</p> <p>14. タスクの振舞いを考慮した動的部分再構成システム向けスケジューリングの検討 ○堤 喜章・久我守弘・末吉敏則(熊本大)</p> <p>15. DPAA技術を用いた17 Gb/s光配線用VCSELドライバ ○谷口隆哉・大島賢一・山下喜市(鹿児島大)・矢崎 徹・中條徳男(日立)</p> <p>16. ダイナミック光再構成型ゲートアレイの動的部分再構成の性能評価 ○ゲンジャラム アマルジャルガル・渡邊 実(静岡大)</p> <p>17. アナログ基本回路の基板雑音感度に関する考察 ○高谷 聡・坂東要志・長谷川貴士(神戸大)・大川 徹・早田征明・宝本敏治・山田利夫・熊代成孝・最上 徹(半導体先端テクノロジーズ)・永田 真(神戸大)</p> <p>18. 投票高々1衝突化手法を用いた小面積画素並列ハフ変換回路の設計 ○中村一博(名古屋大学)・高木一義(名古屋大学)・高木直史(京都大学)</p> <p>19. EFSM-based weight-oriented concolic testing for embedded software ○Giuseppe Di Guglielmo(University of Tokyo)・Masahiro Fujita(University of Tokyo/JST CREST)・Franco Fummi・Graziano Pravadelli・Stefano Soffia(University of Verona)</p> <p>20. 上位設計記述の解析を利用した製造後機能テストの効率化 ○松本 剛史(東京大学)・藤田 昌宏(東京大学/JST CREST)</p>		
<p>17:15~18:15 全体講演 【大ホール】 座長:小野澤 晃(NTT)</p>		
<p>[招待講演]シリコンをベースにした光電気融合技術 ~ シリコンフォトニクスによる光回路と電子回路の集積 ~ ○板橋聖一・土澤 泰・山田浩治・渡辺俊文・篠島弘幸・西 英隆・高橋 礼(NTT)・和田一実・石川靖彦(東大)</p>		
<p>18:45~20:45 懇親会 【中ホール1】</p>		

12月1日

【中ホール1】	【中ホール2】	【中ホール3】
<p>9:30~10:30 CPSY システムアーキテクチャ2 座長:三木 良雄(日立)</p> <p>1. メニーコア時代に向けたインオーダー・アーキテクチャ再考 ○三好健文・入江英嗣・松村雄貴・吉永 努(電通大)</p> <p>2. バイナリレベル変数解析に基づいた自動並列化処理の初期評価 ○白戸卓志・大津金光・横田隆史・馬場敬信(宇都宮大)</p> <p>3. 高信頼デジタル信号伝送技術 ~ 高速バス配線を対象として ~ ○秋田翔平・島田弘基・石黒将巳・安永守利・相部範之(筑波大)・吉原郁夫(宮崎大)</p>	<p>9:30~10:30 RECONF リンコンフィギャラブルデバイス 座長:渡邊 誠也(岡山大)</p> <p>1. データを直接回路化したパターン認識装置の消費電力評価 ○佐藤祐輔・相部範之・安永守利(筑波大)</p> <p>2. 電力を再構成可能なFlex Power FPGAの低電力プロセスによる試作と評価 ○日置雅和(産総研)・河並 崇(金沢工大)・松本洋平(東京海洋大)・堤 利幸(明大)・中川 格・関川敏弘・小池帆平(産総研)</p> <p>3. 近磁界測定によるサイドチャネル評価実験 片下敏宏・〇堀 洋平・佐藤 証(産総研)</p>	<p>9:10~10:30 VLD/DC/SLDM テスト設計2 座長:吉村 正義(九大)</p> <p>1. SREEP:SR等価回路を用いたセキュアスキャン設計支援ツール ○藤原克哉(秋田大)・藤原秀雄(奈良先端大)・玉本英夫(秋田大)</p> <p>2. 知識ベースシステム技術に基づいたテスト不良原因解析について ○武田敏秀・井上俊介(福岡県産業・科学技術振興財団)・大野国弘(なうデータ研究所)・温 暁青(九工大)</p> <p>3. 非実機環境上での故障注入技術による車載システムレベル信頼性評価技術 ○伊藤康宏・勝 康夫・於保 茂(日立)・中田洋平・川口 博・吉本雅彦(神戸大)</p> <p>4. システムレベル故障注入技術を用いたディベンダブルプロセッサアーキテクチャの評価・検証 ○中田洋平(神戸大)・伊藤康宏・勝 康夫・於保 茂(日立)・川口 博(神戸大)・吉本雅彦(神戸大/JST)</p>
	<p>10:45~11:45 RECONF リンコンフィギャラブル応用1 座長:弘中 哲夫(広島市大)</p> <p>1. PCI-Expressに接続されたFPGAによる並列ループの効果的処理手法 ○荒木光一・佐藤幸紀・井口 寧(北陸先端大)</p> <p>2. 確率密度関数の推定法とMIA成功率に関する一考察 ○堀 洋平(産総研)・吉田隆弘(青学大)・片下敏宏・佐藤 証(産総研)</p> <p>3. Performance Evaluation for PUF-based Authentication Systems with Shift Post-processing Hyunho Kang・〇Yohei Hori・Toshihiro Katashita・Akashi Satoh(AIST)</p> <p>13:15~13:55 RECONF 新しいリンコンフィギャラブルデバイス 座長:名古屋 彰(岡山大)</p> <p>1. [招待講演]TFT SRAMを用いた3D-FPGAの開発 ○内藤達也・石田達也(東芝)・小野塚 健(コバレントマテリアル)・西郡正人・中山武雄・上野芳弘・石本康実・鈴木昭弘・鍾 ウェイ丞(東芝)・Raminda Madurawe, Sheldon Wu, 池田修二, 親松尚人(東芝)</p> <p>14:10~14:50 RECONF リンコンフィギャラブル応用2 座長:京 昭倫(ルネサスエレクトロニクス)</p> <p>1. Impulse Cを用いた車載向け低コスト顔向き認識システムのFPGAへの実装 ○宮島敬明(慶大)・新井正敏(カルソニック)・天野英晴(慶大)</p> <p>2. FPGAによるデフォルト強度モデルの高速化 ○横山隆哲・天野英晴(慶大)</p>	<p>10:45~11:45 VLD/DC/SLDM 高位設計2 座長:瀬戸 謙修(東京都市大)</p> <p>1. ILP Approach to Extended Ordered Coloring for Skew Adjustability-Aware Resource Binding ○Mineo Kaneko(JAIST)</p> <p>2. 束データ方式による非同期回路を対象とした動作合成とフロアプランの統合 ○濱田尚宏・齋藤 寛(会津大)</p> <p>3. 動作記述を用いた順序テスト生成およびテスト容易化/バインディング ○井上諒一・藤原浩顕・細川利典(日大)・藤原秀雄(奈良先端大)</p> <p>13:15~14:35 VLD/DC/SLDM 物理設計 座長:高島 康裕(北九州市大)</p> <p>1. コードベース三次元立方体配置における隣接挿入操作とその効果 ○上杉 伸・金子峰雄(北陸先端大)</p> <p>2. Rectilinear Steiner Arborescence問題の厳密解法における枝刈り規則について ○長瀬将行・高橋俊彦(新潟大)</p> <p>3. Analysis of Channel Decomposition for Structured Analog Layout and Low-power Application ○Bo Yang・Qing Dong・Jing Li・Shigetoshi Nakatake(Univ. of Kitakyushu)</p> <p>4. OSSEDAツールに対するクロックツリージェネレータの実装 ○樋口拓哉・大金淳一郎・清水尚彦(東海大)</p> <p>14:50~15:50 VLD/DC/SLDM 低電力設計 座長:一色 剛(東工大)</p> <p>1. 超低電圧領域における最適加算器アーキテクチャの検討 ○小西奈緒・工藤 優・宇佐美公良(芝浦工大)</p> <p>2. パワーゲーティングにおけるラッシュカレント評価のための大規模LSIモデル構築の一提案 ○山内寛人・宮島淳企・鷲見知彦・福井正博(立命館大)・築山修治(中大)</p> <p>3. Sharing of Clock Gating Modules under Multi-Stage Clock Gating Control ○Xin Man(Waseda Univ.)・Takashi Horiyama(Saitama Univ.)・Tomoo Kimura・Koji Kai(Panasonic)・Shinji Kimura(Waseda Univ.)</p>