

デザインガイア 2005

2005年11月30日(水)-12月2日(金) 於 北九州国際会議場

電子情報通信学会 VLSI 設計技術研究会(VLD)

情報処理学会 システム LSI 設計技術研究会(SLDM)

電子情報通信学会 集積回路研究会(ICD)

情報処理学会 コンピュータアーキテクチャ研究会(ARC)

電子情報通信学会 ディペンダブルコンピューティング研究会(DC)

電子情報通信学会 コンピュータシステム研究会(CPSY)

電子情報通信学会 リンコンフィギャラブルシステム研究会(RECONF)

★ 11月30日(水)

13:30 - 14:20 会場 1 IEICE フェロー就任記念講演		
1. レイアウト CAD と DFM、始まりと成熟 ○三橋 隆 (日本ケイデンス)		
14:40-15:55 会場 1 ARC: プロセッサ・アーキテクチャ 1	14:40-15:55 会場 2 RECONF: リンコンフィギャラブル・アーキテクチャ 1	14:40-15:55 会場 3 VLD/ICD/DC/SLDM: 設計事例
1. キャッシュ・ミス頻発ロード命令の特徴解析 ○三輪英樹(九大), 堂後靖博(福大), 井上弘士, 村上和彰(九大) 2. ハードウェア解析システムによるバイナリコードの動的最適化 ○請園 智玲, 田中 清史(北陸先端大) 3. Cell プロセッサにおけるアーキテクチャ決定と要素技術トレンドの関係 ○山崎 剛, 鈴置 雅一(SCEI), James Kahle, Peter Hofstee(IBM), 浅野 滋博(東芝)	1. 粒度可変構造を持つ再構成論理セルアーキテクチャの提案 ○尼崎太樹・中山英明・濱邊直人・飯田全広・末吉敏則(熊本大) 2. 粒度可変構造を持つ再構成論理セルを用いた基本演算回路の実装 ○濱邊直人・中山英明・尼崎太樹・飯田全広・末吉敏則(熊本大) 3. 無線物理層のためのリンコンフィギャラブルハードウェア構成法の一検討 ○和田善生(サムスン横浜研究所)	1. 90nm 標準 CMOS プロセスを用いて試作した 40Gb/s 4:1 MUX/1:4 DEMUX ○神田浩一・山崎大輔・山本拓司・堀中 実・小川淳二・田村泰孝・小野寺裕幸(富士通研) 2. ロータリエンコーダ用誤差測定回路の高度化 ○玉真昭男・益田 正(静岡理工大) 3. Energy-Efficient Distributed Coordination Function for IEEE 802.11 Wireless LAN ○Adil EL Bourichi・Hiroto Yasuura (Kyushu Univ.)
16:10 - 17:00 会場 1 ARC: プロセッサ・アーキテクチャ 2	16:10 - 17:25 会場 2 RECONF: アプリケーション 1	16:10 - 17:25 会場 3 VLD/ICD/DC/SLDM: 高性能回路設計手法
1. 冗長入力を付加したパーセプトロン分岐予測器 ○洪川誠, ニノ宮康之, 阿部公輝, 小林聡(電通大) 2. 公開鍵暗号を用いてプログラムの保護を行うプロセッサの開発 ○城本正尋, 田端猛一, 酒井智也, 島田貴史, 北村俊明(広島市大)	1. ダイナミックリンコンフィギャラブルプロセッサ DAPDNA-2 による一次元/二次元 FFT の実装 ○斯波康祐・佐久間 健・今泉篤志(アイビーフレックス社) 2. 動的リンコンフィギャラブルプロセッサ DRP-1 におけるアダプティブコンピューティング ○阿部昌平・長谷川揚平(慶大)・戸井崇雄・犬尾 武(NEC システムデバイス研)・天野英晴(慶大) 3. リアルタイム組込みシステムの動的再構成可能プロセッサへの実装方法の提案 ○中橋 亮・木谷友哉(阪大)・安本慶一(奈良先端大)・中田明夫・東野輝夫(阪大)	1. 非対称な信号遷移を用いた高速ダイナミック回路の論理合成手法 ○森本薫夫・永田 真・瀧 和男(神戸大) 2. 遅延変動特性を考慮したタイミング信号設計方式に関する検討 ○今井 雅・近藤正章・中村 宏・南谷 崇(東大) 3. bit 単位の遅延変動を考慮した高性能低消費電力演算回路の設計 ○渡邊孝一・今井 雅・近藤正章・中村 宏・南谷 崇(東大)

★ 12月1日(木)

9:30 - 10:45 会場 1 ARC: 設計と実装	09:30 - 10:45 会場 2 RECONF: ネットワーク	09:30 - 10:45 会場 3 VLD/ICD/DC/SLDM: テスト 1
1. 並列事前実行における連想検索装置の設計 ○高 洪波, 李 森, 中島 康彦, 森 眞一郎, 富田 眞治(京都大学) 2. ディジタリシリアル浮動小数点演算器を用いた高精度 FFT 回路の設計検討 ○鈴木 圭介, 窪田 昌史, 谷川 一哉, 弘中 哲夫(広市大) 3. メッセージパッシングモデルを支援するバケット受信機構の実装 ○北村 聡, 宮部 保雄(慶大), 中條 拓伯(東京農工大), 田邊 昇(東芝), 天野 英晴(慶大)	1. リンコンフィギャラブルプロセッサを用いた最短経路探索に関する一検討 ○清水 翔・荒川 豊・山中直明(慶大) 2. 動的再構成を用いたアプリケーションレイヤ処理エンジンの設計 ○菅原 豊・稲葉真理・平木 敬(東大) 3. A solution for perfect classified networks ○Charlotte Roesener・Hidetaka Kojo・Hiroaki Nishi(Keio Univ.)	1. 同位相構造に基づく特定用途を考慮した FPGA の相互接続遅延テスト ○矢葦光佑・大竹哲史・藤原秀雄(奈良先端大) 2. バス遅延故障を検出するための等距離遷移回路の提案 ○趙 顯秀・吉田たけお(琉球大) 3. 消費電力を考慮したマルチクロックドメインコアに対する再構成可能ラッパー設計 ○田中 裕・米田友和・藤原秀雄(奈良先端大)
11:00 - 12:15 会場 1 ARC: 並列化と並列環境	11:00 - 12:15 会場 2 RECONF: セキュリティとディペンダビリティ	11:00 - 12:15 会場 3 VLD/ICD/DC/SLDM: 高位合成
1. MiBench の並列化及びオンチップマルチプロセッサの評価 ○住吉正人, 田辺靖貴, 天野英晴(慶應大学) 2. マルチコアプロセッサ上でのデータローカライゼーション ○中野啓史, 浅野尚一郎, 内藤陽介, 仁藤拓実, 田川友博, 宮本孝道(早大), 小高剛(東芝), 木村啓二, 笠原博徳(早大) 3. マルチプロセッサ向け μ ITRON OS の開発 ○鈴木 貴久, 上方 輝彦(富士通研)	1. 動的再構成プロセッサに搭載した異常通信の探知機能の評価 ○磯部隆史・西村信治(日立) 2. FPGA を用いたウイルスチェックシステムの提案 ○嶋根 景(東邦大)・飯島洋祐(筑波大)・高橋栄一(産総研)・古谷立美(東邦大)・樋口哲也(産総研) 3. リンコンフィギュレーションによる FPGA の固定故障検出 ○中村洋介・平木 敬(東大)	1. Minimal Set of Essential Lifetime Overlaps for Exploring 3D Schedule ○Mineo Kaneko (JAIST) 2. 動作合成におけるチェインニングに関する考察 ○貞方 毅・松永裕介(九大) 3. レジスタ分散・共有アーキテクチャを対象としたフロアプラン指向高位合成手法 ○大智 輝・戸川 望・柳澤政生・大附辰夫(早大)
13:30 - 15:10 会場 1 ARC: 特集 Funny Architecture 1	13:30 - 15:10 会場 2 RECONF: リンコンフィギャラブル・アーキテクチャ 2	13:30 - 15:10 会場 3 VLD/ICD/DC/SLDM: 演算回路
1. 大規模パイプラインステージ統合 - CPU 内部からチップセットまで ○嶋田 創, 中島 康彦, 森 眞一郎, 富田 眞治(京大) 2. 次々世代携帯端末による超大規模並列処理のためのアーキテクチャ ○中條 拓伯, 並木 美太郎(東京農工大) 3. めりはり型実行モデルに基づくアーキテクチャ ○近藤正章, 中村宏(東京大学)	1. デジタルメディア向け再構成型プロセッサ FE-GA の概要 ○津野田賢伸・高田雅士・秋田庸平・田中博志・佐藤真琴・伊藤雅樹(日立) 2. 構成情報の階層記憶制御による再構成型プロセッサ FE-GA の性能面積比の向上 ○高田雅士・津野田賢伸・秋田庸平・田中博志・佐藤真琴・伊藤雅樹(日立) 3. 再構成プロセッサ FE-GA のオーディオ処理への応用 ○田中博志・津野田賢伸・秋田庸平・高田雅士・伊藤雅樹・佐藤真琴(日立) 4. 再構成プロセッサ FE-GA 上への FFT のマッピング ○佐藤真琴・田中博志・津野田賢伸・高田雅士・秋田庸平・伊藤雅樹(日立)	1. Pipelined Bipartite Modular Multiplier ○Marcelo E. Kaihara・Naofumi Takagi(Nagoya Univ.) 2. 特定用途向け低ビット複合演算回路の設計 ○大窪啓太・朝利壮吾・矢野智規・神戸尚志(近畿大) 3. Prefix graph における遅延時間の見積もり手法について ○松永多苗子(FLEETS)・松永裕介(九大) 4. 加算器の消費電力の形式による比較 ○水口貴之・味元伸太郎・橋 昌良(高知工科大学)

15:25 - 17:30 会場 1 ARC: 特集 Funny Architecture 2	15:25 - 16:40 会場 2 RECONF: アプリケーション 2	15:25 - 17:30 会場 3 VLD/ICD/DC/SLDM: 物理解析/設計
<p>1.統合型トレースキャッシュにおける分岐予測器のシミュレーション評価 ○谷川一哉, 斎藤正嗣, 前田元, 弘中哲夫(広市大), 小出哲士, マタウシュハンスユルゲン(広大)</p> <p>2.分岐予測器における予測性能とエントロピー ○横田 隆史, 大津 金光(宇都宮大), 古川 文人(帝京大), 馬場 敬信(宇都宮大)</p> <p>3.可変構造型デバイスを用いた神経回路網シミュレータの実現に関する検討 ○長名 保範, 吉見 真聡, 天野 英晴(慶應大)</p> <p>4. オンチップ評価機構を搭載した自己タイミング型パイプラインシステムの検討 ○三宮 秀次, 小笠原 新二, 岩田 誠(高知工科大)</p>	<p>1.ソフトプロセッサコアを用いた H.264/AVC エンコーダの FPGA 実装 ○岡本 豊・黒川恭一・岩井啓輔(防衛大)</p> <p>2.リコンフィギャラブルデバイスを用いたバイラテラル鉛子ロボット制御器の実装 ○石井恵奈・西 宏章・大西公平(慶大)</p> <p>3.オブジェクト認識処理用高速リコンフィギャラブルシステムの検討 ○藤田 浩・笠木伸悟(九大)・若谷彰良(甲南大)</p>	<p>1.統計的遅延解析におけるモデルと精度に関する一考察 ○新田 泉・本間克己・澁谷利行(富士通研)</p> <p>2.重回帰分析による1次式によるインダクタンスを考慮した配線遅延の見積り ○鈴木康成・マルタ ディナタ・アンワー・戸川 望・柳澤政生・大附辰夫(早大)</p> <p>3.オンチップグローバル配線における確定的/確率的ノイズとエラー率のモデル化 ○湯山洋一・小林和淑・小野寺秀俊(京大)</p> <p>4.セルレイアウトの歩留まり最適化のためのタイミング制約下におけるデコンパクション手法 ○飯塚哲也・池田 誠・浅田邦博(東大)</p> <p>5.3 次元集積回路のためのフロアプラン探索 ○太田秀典(農工大)・山田敏規(埼玉大)・児玉親亮・藤吉邦洋(農工大)</p>

★12月2日(金)

	09:30 - 10:45 会場 2 RECONF: ハードウェアマネジメント	09:30 - 10:45 会場 3 VLD/ICD/DC/SLDM: テスト 2
	<p>1.動的リコンフィギャラブルシステムにおける再構成管理機構の開発 ○須崎貴憲・坂本伊左雄・柴村英智・飯田全広・久我守弘・末吉敏則(熊大)</p> <p>2.Flex Power FPGA におけるしきい値制御用バイアス電圧値組合せの最適化について ○河並 崇・日置雅和(産総研)・堤 利幸(産総研/明大)・中川 格・関川敏弘・小池汎平(産総研)</p> <p>3.Online FPGA placement under I/O timing constraints Mitsuru Tomono・Masaki Nakanishi・○ Shigeru Yamashita・Katsumasa Watanabe (NAIST)</p>	<p>1.スキャンテストにおけるキャプチャ時の低消費電力化に効果的なテスト集合変更について ○鈴木達也・温 晝青・梶原誠司(九工大)・宮瀬紘平・皆本義弘</p> <p>2.A Broadside Test Generation Method for Transition Faults in Partial Scan Circuits ○Tsuayoshi Iwagaki (JAIST)・Satoshi Ohtake・Hideo Fujiwara (NAIST)</p> <p>3.畳込み圧縮器のガロア体上への拡張に関する一考察 ○新井雅之・福本 聡・岩崎一彦(首都大)</p>
	11:00 - 12:15 会場 2 RECONF: 高速化技法	11:00 - 12:15 会場 3 VLD/ICD/DC/SLDM: コデザイン
	<p>1.PGR のための PCI-Express モジュールの実装と評価 ○濱田 剛(理研)・奥山祐市(会津大学)・中里直人(理研)</p> <p>2.演算部再構成可能高機能メモリコントローラの評価 ○今井俊晴・田中清史(北陸先端大)</p> <p>3.リコンフィギャラブルクラスターコンピューティングに向けた FPGA ボードの開発 ○邊輪一人・岡嶋知宏・柴村英智・久我守弘・末吉敏則(熊大)</p>	<p>1.ソフトウェア互換ハードウェアを合成する高位合成システム CCAP における変数と関数の扱い ○西口健一・西村啓成・石浦菜岐佐(関西学院大)・神原弘之((財)京都高度技術研究所)・富山宏之(名大)・高務祐哲・小谷 学(京大)</p> <p>2.シナリオを用いたタスク及びバス転送へのサイクル割り当ての一手法 ○山口聖二・谷本匠亮・中田明夫・東野輝夫(阪大)</p> <p>3.ソフトウェア・ハードウェア協調設計における粒子追跡システムの設計 ○上甲憲市・大口貴裕(近畿大)・大倉崇宜(日本圧着端子製造株式会社)・上津寛和・神戸尚志(近畿大)</p>
	13:30 - 14:45 会場 2 CPSY: プロセッサアーキテクチャおよび関連技術	13:30 - 15:10 会場 3 VLD/ICD/DC/SLDM: 論理合成
	<p>1. OHA-MEN: スケジューラ協調開発を支援する VLIW シミュレーション環境 ○月川淳(宇都宮大)・古川文人(帝京大)・青木隆行・岡大輔・大津金光・横田隆史・馬場敬信(宇都宮大)</p> <p>2. クリティカルバス情報を利用するキャッシュメモリにおけるデータの重要度に関する調査 ○藤井誠一郎・千代延昭宏・佐藤寿倫(九工大)</p> <p>3. An Adaptive Dynamic Extensible Processor ○Hamid Noori・Kazuaki Murakami(Kyushu University)</p>	<p>1.論理回路の Small-World 性および Scale-Free 性の考察 ○宮崎敏明(会津大)</p> <p>2.量子子付フル式の充足可能性判定を用いた論理式の最小因数分解手法 ○吉田浩章・池田 誠・浅田邦博(東大)</p> <p>3.LUT カスケード・エミュレータにおけるレール出力の符号化法について ○永安伸也・笹尾 勤・松浦宗寛(九工大)</p> <p>4.LUT カスケード・エミュレータを用いた論理シミュレーションについて ○中原啓貴・笹尾 勤・松浦宗寛(九工大)</p>
	15:00 - 16:15 会場 2 CPSY: 通信システム	15:25 - 16:15 会場 3 VLD/ICD/DC/SLDM: 論理合成/検証
	<p>1. 次世代インターネットルータ向けネットワークプロセッサ P-Gear の構成と評価 ○石田慎一(慶大)・奥野道貴(日立中研)・西宏章(慶大)</p> <p>2. 光 WDM テップ専用コントローラ的设计と実装 ○河合 満・石田慎一・西 宏章(慶大)</p> <p>3. セルオートマトンによる大規模相互結合網シミュレーションの試み ○横田隆史・大津金光(宇都宮大)・古川文人(帝京大)・馬場敬信(宇都宮大)</p>	<p>1.時間付き信号遷移グラフの効率的縮約について ○米田友洋(NII)</p> <p>2.Enhancing Transition Traversal Coverage for Symbolic Model Checking by Considering the Circuit Structure ○Xingwen Xu・Shinji Kimura(Waseda Univ.)・Kazunari Horikawa・Takehiko Tsuchiya(Toshiba)</p>