

デザインガイア 2013 ポスター一覧

11 月 28 日(木)15:15 ~16:45@B1F アートギャラリー

ポスター 番号	研究会	氏名	区分	タイトル
1	CPSY	青木宏太	学生	GPU を用いた 3 次元 FDTD 法による電磁界シミュレーションの高速な可視化処理の実装
2	DC	三宅庸資	学生	FPGA における複数の周波数特性を実現するためのリングオシレータ構成法の検討
3	DC	石森裕太郎	学生	耐マルチサイクル過渡故障を指向した高位合成におけるコントローラの設計について
4 取消	ICD	小林伸彰	一般	最適周波数および最適電圧を検出する量子化デコーダとこれを応用した DVFS 制御形動きベクトル検出プロセッサの開発
5	ICD	吉村 渉	学生	高速・低電力 AD 変換器における抵抗ラダーの歪自動補正技術
6	ICD	鵜飼慎太郎	学生	耐タンパ性向上のための Hybrid Masking Dual-Rail ROM を用いた AES 暗号回路の性能評価
7	ICD	小林遼太	学生	チップ電源網を考慮したノイズ低減のための協調設計
8	ICD	西村隆志	学生	サイドチャネル攻撃耐性を持つ IO-Masked Dual-Rail ROM に統合可能な PUF 回路の検討と設計
9	RECONF	石田薫史	学生	ヘテロマルチプロセッサシステム向けプロセッサ間通信の自動合成
10	RECONF	蘇洪亮	学生	SOTB を用いた低電力リコンフィギュラブルアクセラレータの実チップ評価
11	RECONF	濱村甚平	学生	分離度フィルタの FPGA 実装におけるハードウェア量と検出精度のトレードオフ
12	RECONF	小川裕喜	学生	仮想 CGRA への Java ソフトウェアのマッピングと FPGA 実装
13	RECONF	瀬尾真人	学生	差分光再構成型ゲートアレイの放射線耐性向上実装手法
14	RECONF	櫛山賢佑	学生	EVMDD(k)に基づく LUT カスケードの更新法に関して
15	RECONF	知識陽平	学生	太陽電波バースト観測用電波望遠鏡の分光器における並列 FFT に関して
16	VLD	安藤友樹	学生	割込み処理を考慮したシステムレベル設計手法
17	VLD	多和田雅師	学生	不揮発メモリを対象とした書き込み削減手法のエネルギー評価
18	VLD	栗本陽介	学生	SystemC と QEMU を用いた NoC のハードウェア/ソフトウェア・シミュレータ
19	VLD	Tran Van Dung	学生	Function-Level Profiling for Embedded Software with QEMU
20	VLD	Yang Liu	学生	List Scheduling Algorithms for Task Graphs with Data Parallelism
21	VLD	五十嵐博昭	学生	チェックポイント観測によるタイミングエラー予測手法
22	VLD	川村一志	学生	信頼性と時間オーバーヘッド間のトレードオフを考慮した面積制約にもとづく RDR アーキテクチャ向けフォールトセキュア高位合成手法
23 取消	VLD	福田雄太郎	学生	入力信号遷移時間を考慮した統計的静的遅延解析に関する研究
24	VLD	祖父江亮哉	学生	高位合成における制御回路の構成方法の定量的評価
25	VLD	宇佐美公良	一般	細粒度パワーゲーティングを実装した CPU"Geysers-3"の開発と温度に適

				応した電源遮断制御
26	VLD	早苗駿一	学生	PPC に基づく高歩留まり回路の発見的設計手法
27	VLD	阿部晋矢	学生	HDR-mcd を対象としたクロックエネルギー優位な高位合成と実験評価
28	VLD	松尾惇士	学生	二重化よりも面積オーバーヘッドが少ない耐故障化手法
29	VLD	Hiroyuki Yataka	学生	A VLSI algorithm for computing correctly rounded hypotenuse
30	VLD	堀遼平	学生	ビアプログラマブルアーキテクチャ VPEX4(1) ～ 配線混雑度改善と低消費電力性能向上のための基本論理素子の改良 ～
31	VLD	Trung Anh Dinh	学生	An Optimal Sample Preparation Algorithm for Digital Microfluidic Biochips
32	SLDM	宮園悟	学生	シングルコア向けのコードを NoC に実装するためのコード分割ツールの検討
33	SLDM	滝澤恵多郎	学生	FPGA を対象とした束データ方式による非同期式回路の設計支援ツールセット
34	SLDM	岩崎翔太郎	学生	サイクルタイム制約を考慮した低消費電力な束データ方式による非同期式 AVR プロセッサの設計
35	SLDM	とう文竹	学生	マルチコアプロセッサを用いた並列論理シミュレーション手法
36	SLDM	松本夏樹	学生	FPGA を用いた論理シミュレーション手法
37	CPSY	塚田靖史	学生	組込みプロセッサに仕掛けられたハードウェアトロイに関する研究
38	CPSY	中村亮介	学生	TinyCSE:教育用小型計算機システム
39	VLD	大谷 拓	学生	ビアプログラマブルアーキテクチャ VPEX3S ～ 動作速度を改善するための基本論理素子の改良 ～
40	VLD	岸田 亮	学生	バルクと SOTB におけるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価