

令和5年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2023

1. 受賞者: 阪本 利司(ナノブリッジ・セミコンダクター)
発表研究会: 第200回システムとLSIの設計技術研究発表会(デザインガイア 2022), 2022年11月30日
論文名: 極低温 65nm-CMOS 回路設計ライブラリの構築
著者名: 阪本 利司, 宮村 信, 船橋 一訓, 岡本 浩一郎, 多田 宗弘(ナノブリッジ・セミコンダクター), 田中 貴久, 内田 健(東京大学), 石黒 仁揮(慶應義塾大学)

概要: 超伝導量子ビットを用いた量子コンピュータの実現には, 極低温で動作する制御回路が重要である。各量子ビットの制御・読出しを行うには, 少なくとも2本の高周波ケーブルが必要であり, 100万量子ビット以上の規模で, 冷凍機の外部から各量子ビットの制御を行うことは, 熱流入や物理的スペースの観点から不可能である。そのため, 制御・読出しを量子コンピュータと同等の低温環境で行うことができ, さらに大規模な量子ビットの制御に対応できる信号処理回路が求められている。本講演では, 極低温(4K)で動作する65nm世代のCMOS集積回路の設計ライブラリを構築したので報告する。トランジスタ等の各デバイスのパラメータを極低温で取得し, スパイスモデルおよび配線のテクノロジーファイルを作成した。次に, 得られたテクノロジーファイルによりスタンダードセルの寄生パラメータ抽出を実施し, さらに, スパイスシミュレーションによりセルライブラリを得た。モデル精度の確認のため, リングオシレータの評価によりシリコン検証を実施した。
2. 受賞者: 久古 幸汰(早稲田大学)
発表研究会: 第200回システムとLSIの設計技術研究発表会(デザインガイア 2022), 2022年11月30日
論文名: 消費電力波形の形状を考慮したIoTデバイス異常動作検知手法のFPGAへの適用
著者名: 久古 幸汰, 戸川 望(早稲田大学)

概要: 近年, Internet of Things (IoT)デバイスの普及に伴い, ハードウェアデバイスのセキュリティ課題が増加している。ハードウェアデバイスの異常動作を検知する手法として, Shape-based Distance (SBD)を用い時系列データの形状から異常動作を検知する手法(SBD異常動作検知手法)が提案されている。本稿では, FPGA上にハードウェアトロイを含むAES暗号化回路を実装し, SBD異常動作検知手法を適用することでハードウェアトロイの検知に成功した。
3. 受賞者: 太田 慎一(京都大学)
発表研究会: DAシンポジウム2022, 2022年9月1日
論文名: MOSFETの弱反転領域電流の統計的性質を利用する温度センシング手法
著者名: 太田 慎一, イスラム マーフズル, 久門 尚史, 和田 修己(京大)

概要: 本稿では, 弱反転領域で動作するMOSFETのドレイン電流にみられる統計的性質の温度依存性を利用する温度推定手法を提案する。MOSFETの弱反転領域特性を利用することで低消費電力動作を実現しつつ, MOSFETのドレイン電流の統計量を利用することで電源電圧変動による影響を低減できる。6チップについて測定を行う。商用の65nmプロセスにて実装した6チップの測定において, 二点校正後に -20°C から 120°C の温度領域で $-0.54/0.43^{\circ}\text{C}$ の測定エラーが確認され, これは先行研究で提案されてきた同方式の温度センサと比較すると広範囲かつ高精度を実現している。また, 電源電圧依存性は 20°C で最大 $3.5^{\circ}\text{C}/\text{V}$ であり, 提案手法により微細プロセスにて高精度でありながらより低い電源電圧依存性を実現できる。
4. 受賞者: 潮田 裕也(北陸先端科学技術大学院大学)
発表研究会: DAシンポジウム2022, 2022年9月2日
論文名: 最大安定集合問題に基づく断熱論理回路の回路規模縮小
著者名: 潮田 裕也, 金子 峰雄(北陸先端科学技術大学院大学)

概要: 断熱論理回路は, 超低消費電力の半導体集積回路を実現する手段の1つである。本論文では, 断熱論理回路の中でも比較的単純な構造で, 優れた消費電力性能を持つTwo-Level Adiabatic Logic (2LAL)の設計最適化について述べる。2LALは, 信号のタイミング同期化のために多くのハードウェア(バッファ回路)が必要であり, 実用上の課題になる。本論文では, 完全パイプライン化された2LALにおいて, バッファ数を削減する「早期消去計算」技術に注目し, ハードウェア量削減を最大化する早期消去計算最適化のためのILPアプローチを提案する。まず, このハードウェア量削減の最大化問題を安定集合問題として定式化し, そのILP定式化を導出する。さらに, 設計者に多様な設計オプションを提供するために, ILPに基づく最適化に消費電力の項を含めることで多目的最適化問題としてアプローチを拡張する。提案手法の優位性, および多目的最適化により得られるハードウェア量と消費電力の関係をISCAS-85ベンチマーク回路を用いて評価した結果を報告する。

令和5年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2023

1. 受賞者: 齊藤 颯太(東京工業大学)
発表研究会: 第200回システムとLSIの設計技術研究発表会(デザインガイア2022), 2022年11月30日
論文名: LUTベースの光強度推定による高速なSRAF最適化手法
著者名: 齊藤 颯太, 高橋 篤司(東京工業大学)
概要: 近年, 集積回路の微細化に伴い光リソグラフィにおいて転写パターンの忠実度の低下やプロセス変動耐性の低下が問題となっている。そのためOPC (Optical Proximity Correction)が行われるが, OPCに必要な時間は大きく, 高い忠実度, 高いプロセス変動耐性を高速に達成するOPCが求められている。本研究ではSRAF (Sub Resolution Assisting Feature)に着目し, LUTをベースとした特定の点の光強度計算を用いてSRAFを高速に最適化する手法を提案する。
2. 受賞者: 山口 駿(京都大学)
発表研究会: DAシンポジウム2022, 2022年9月1日
論文名: MOSFETのサブスレッショルド電流を利用した適応的周波数変調によるデジタルLDOの低消費電力設計
著者名: 山口 駿, イスラム マーフズル, 久門 尚史, 和田 修己(京都大学)
概要: 多数の負荷回路の電源電圧を個別に管理するために, 低電圧動作が可能なオンチップデジタルLDO (Low DropOut regulator)が注目されている。しかし, デジタルLDOは消費電力と即応性にトレードオフ関係があり, この解決策としてクロック周波数を電圧誤差に応じて変調する手法がある。クロック周波数を大幅に変調することは難しく, 従来の手法では周波数変調回路が複雑化するという問題点がある。本論文ではMOSFETのサブスレッショルド電流を利用した適応的周波数生成回路によるデジタルLDOの設計および安定性について議論する。