

令和4年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2022

1. 受賞者: 田中 知成(高知工科大学)
発表研究会: 第240回 ARC・第198回 SLDM・第59回 EMB 合同研究発表会(ETNET2022), 2022年3月10日
論文名: 仮想環境を用いたSRAM型FPGAにおけるソフトエラー評価手法
著者名: 田中知成, 廖望, 橋本昌宜, 密山幸男(高知工科大学)

概要: Field Programmable Gate Array(FPGA)において回路構成情報を格納する Configuration Random Access Memory(CRAM)は, Single Event Upset(SEU)の影響を受けやすいことが課題になっている. 本論文では, SRAM型FPGAを用いた画像処理に基づく自動運転システムを対象に, CRAMのビットアップセットが自動運転システムに与える影響を評価することを目指す. 従来の研究では, 画像処理アプリケーションにおける Single Event Functional Interrupt(SEFI)は, FPGAの論理機能の故障としてのみ定義される. 一方で, FPGAの論理機能の故障が自動運転システム全体に及ぼす影響についてまでは評価されていない. 本研究では, 自動運転システムにおけるSEFIのうち, 自動運転ロボットの決められた道路範囲からの脱線を引き起こす重大なSEFIを深刻な誤動作として分類することを目指す. 評価実験として, 提案する評価環境を用いてフォールトインジェクションと中性子照射実験を行った. フォールトインジェクションの結果では, Design Under Test(DUT)を構成するコンフィギュレーションビットのうち, 30.6%がビット反転によってSEFIを引き起こす可能性があることがわかった. また, これらのSEFIのうち33.0%は最終的に深刻な誤動作を引き起こした. 中性子照射実験では, SEFIと深刻な誤動作の Cross Section(CS)の測定を行った. 中性子照射実験で得たCSは, フォールトインジェクションから推測されるCSと誤差範囲内で一致していることを確認した. このことから, 提案する仮想環境を用いた評価手法の有用性を実証した.
2. 受賞者: 白井 達彦(早稲田大学)
発表研究会: 第239回 ARC・第197回 SLDM 合同研究発表会, 2022年1月24日
論文名: イジング計算機のためのマルチスピンフリップ法とその応用
著者名: 白井達彦, 戸川望(早稲田大学)

概要: イジング計算機においてマルチスピンフリップを実装可能とするマージ手法を提案する. マージ手法は, イジング模型のハミルトニアン(エネルギー関数)を変形する手法である. 変形されたハミルトニアンにおけるシングルスピンフリップは元のハミルトニアンにおけるマルチスピンフリップと等価になる. イジング計算機は, イジング模型の基底エネルギー解を効率よく探索する可能性を持つ非フォンノイマン型計算機である. 組合せ最適化問題をイジング模型の基底エネルギー解を得る問題に変換することで, イジング計算機を用いて組合せ最適化問題を解法することができる. マージ手法をイジング計算機の動作原理に組み込んだハイブリッドアルゴリズムを提案する. VLSI回路設計に応用のある組合せ最適化問題である二次ナップサック問題に提案アルゴリズムを適用し, 残留エネルギーを平均して83%削減することに成功した.
3. 受賞者: 松尾 亮祐(京都大学)
発表研究会: DAシンポジウム2021, 2021年9月1日
論文名: BDDに基づく光論理回路における双対端子を利用した面積と電力の削減手法
著者名: 松尾亮祐, 湊真一(京都大学)

概要: 集積ナノフォトニクスに基づく光論理回路は非常に高速な動作を実現することができるために近年注目を集めている. 光の高速性を活かした論理合成手法としてBDDに基づく手法が注目されているが, 回路中に多数存在するスプリッタが原因で消費電力が非常に大きくなる課題がある. BDDに基づく光論理回路では双対な入力端子が余っている. この端子を活用してスプリッタを削減する手法を提案する. 提案手法により, 回路の遅延を増加させることなく, 面積を削減しながら消費電力を大幅に削減できることを示す. ISCAS'85ベンチマーク回路にLUTベースのFPGAテクノロジーマッパーを適用して得られる10入力関数を用いた実験を行い, 提案手法によりベストケースでは消費電力が2桁程度削減されることを示す.

令和4年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2022

1. 受賞者: 宮内 陽里(芝浦工業大学)
発表研究会: 第196回 SLDM 研究発表会(デザインガイア 2021), 2021年12月1日
論文名: データウェア・ストア機能を持つ MTJ ベース不揮発性 SRAM 回路の提案と評価
著者名: 宮内陽里, 宇佐美公良(芝浦工業大学)
概要: 近年, LSI のリーク電力の増大が問題となっており, その削減手法の1つに, 磁気トンネル接合(MTJ: Magnetic Tunnel Junction)素子を利用した不揮発性パワーゲーティング(NVPG: Non Volatile Power Gating)がある。NVPGでは, SRAMのような揮発性の記憶回路をMTJによって不揮発化することで, PGによってデータが保持出来ない問題を解決している。しかし, MTJは書き込みエネルギーが大きいという問題がある。そのため, 本研究では, 現在書き込まれている値と同値であれば MTJ への書き込みをスキップする機能(DAS: Data Aware Store)を備えることにより, 低消費エネルギーを実現するSRAMを提案し, 65nmプロセスでのシミュレーション評価を行った。
2. 受賞者: 有働 岬(京都大学)
発表研究会: DA シンポジウム 2021, 2021年9月2日
論文名: 遅延ばらつき評価に向けた交互配置均質リングオシレータ
著者名: 有働岬, イスラムマーフズル(京都大学), 小野寺秀俊(大阪学院大学)
概要: デジタル回路における MOSトランジスタの特性評価にリングオシレータ回路は有用である。個々のトランジスタの遅延ばらつきを評価するには, インバータを遅延素子として用いた段数の少ないリングオシレータ回路が望ましい。しかし, NANDのような発振制御用の異なる論理ゲートがリング内に含まれる場合や, 配線長などに不均質性がある場合, ゲートあたりの正確な特性評価が困難になる。そこで, 本稿ではすべての論理ゲートの貢献度を均一にするためのリングオシレータ回路構造を提案する。提案構造は仮想電源ノード及び交互配置したレイアウトを採用し, NANDのような制御用の論理ゲートが含まれない。提案構造のリングオシレータを搭載した65nmのCMOSバルクプロセスにて試作した回路を評価し, トランジスタモデルの検証やゲートあたりのばらつきの評価を行う。交互配置均質リングオシレータは, スイッチング条件下におけるトランジスタの特性評価に有効である。