

## 令和元年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2019

### 1. 受賞者：塩見 準 (京都大学)

発表研究会： 第 187 回システムと LSI の設計技術研究発表会 (平成 31 年 3 月 18 日)

論文名： リアルタイム電圧最適化によるマルチタスク処理の消費エネルギー最小化

著者名： 塩見準 (京都大学)、石原亨 (名古屋大学)、小野寺秀俊 (京都大学)

概要：電源電圧 ( $V_{DD}$ ) としきい値電圧 ( $V_{th}$ ) の動的制御は、プロセッサの消費エネルギーを削減する有効な手法の 1 つである。本稿では、リアルタイム組み込みシステムの消費エネルギーを最小化する電圧制御手法を提案する。プロセッサに与えられたデッドラインのもと、処理タスクに応じてプロセッサの  $V_{DD}$ 、 $V_{th}$  およびタスクの実行時間をリアルタイムに最適化することで、デッドラインを守りながらマルチタスク処理時に発生する消費エネルギーを最小化する。本稿では、プロセッサの活性化率がタスクに依存して変化する事実に注目し、タスクの実行サイクル数だけでなく活性化率を考慮してタスクの実行時間を最適化することで、消費エネルギーを効果的に削減できることを示す。タスクの活性化率を考慮しない従来のスケジューリング手法と比較して、平均 24.3%消費エネルギーを削減できることを示す。

### 2. 受賞者：門本 淳一郎 (東京大学)

発表研究会： 第 185 回システムと LSI の設計技術研究発表会 (平成 30 年 12 月 5 日)

論文名： 水平方向チップ間ワイヤレスバスを用いた形状自在 SiP の検討

著者名： 門本淳一郎、入江英嗣、坂井修一 (東京大学)

概要：横並びに集積された複数のチップを無線で接続するワイヤレスバスインタフェースを提案する。チップ全面にまたがる大きなコイルと送受信回路を各チップに配置することで、水平方向の誘導結合を介した複数チップ間通信を可能にする。提案するチップ間通信技術と無線電力伝送技術を併用することで、チップ間やチップと基板間の有線接続が取り除かれ、多様な形状の組み込みシステム実装を実現することができる。

### 3. 受賞者：小島 健太郎 (京都工芸繊維大学)

発表研究会： DA シンポジウム 2018 (平成 30 年 8 月 31 日)

論文名： デバイスシミュレーションを用いた 65nm FDSOI デバイスの静特性の変化とソフトエラー耐性の評価

著者名： 小島健太郎、山田晃大、古田潤、小林和淑 (京都工芸繊維大学)

概要：集積回路の微細化とともに信頼性の低下が問題となっており、放射線起因の一時故障であるソフトエラーの顕在化が原因の 1 つとして考えられている。ソフトエラー耐性の評価は、実測では多額の費用と時間がかかるためシミュレーションが重要視されている。デバイスシミュレーションを用いて、65nm FDSOI デバイスのラッチにおいて、拡散層の不純物密度と積上層の厚さを変更することで、静特性とソフトエラー耐性の変化を評価する。拡散層の不純物密度が高くなるほどソフトエラー耐性は向上する。積上層はシリサイドとシリコンから構成されている。積上層のシリサイドは厚さに関係なく、その有無でソフトエラー耐性が向上し、シリコンは薄いほどエラー耐性が向上する。これらのパラメータは、静特性以上にソフトエラー耐性に変化を与えることが判明した。

1. 受賞者： 田中 一平（立命館大学）

発表研究会： 第 185 回システムと LSI の設計技術研究発表会（平成 30 年 12 月 7 日）

論文名： FiCC を用いた CMOS 互換な超低消費電力不揮発性メモリ素子の特性測定回路の設計と試作

著者名： 田中一平、宮川尚之、木村知也、今川隆司、越智裕之（立命館大学）

概要： 本稿では、低廉な通常の CMOS プロセスで製造でき、かつ、書き込みや消去に必要な電流が極めて小さい不揮発性メモリ素子と、その特性測定要回路を提案する。近年、オンチップ太陽電池を用いたマイクロエナジーハーベスティングにより、半永久的に電力を自給自足できるセンサチップの研究が行われているが、このようなセンサチップでは夜間にデータを保持する不揮発性メモリが不可欠である。本稿では、メタルフリンジキャパシタの一種である、Fishbone-in-Cage Capacitor (FiCC) と NMOS トランジスタを組合せ、フラッシュメモリ素子のダブルゲート構造を CMOS プロセス互換で実現したメモリ素子を提案する。また、書き込みも消去も FN トンネリングで行うことで消費電流を抑えることの実現可能性を明らかにするべく、リングオシレータを用いて閾値電圧を測定する回路を考案し、これを用いた測定を行った。その結果、5V の書き込み電圧を 10 秒間印加すれば閾値電圧が 3V 程度まで上昇することや、書き込み後は 1 日程度の保持が可能であること、並びに 300 回程度の書き込み消去操作では特性がほとんど劣化しないことが示された。

2. 受賞者： 土井 龍太郎（大阪大学）

発表研究会： DA シンポジウム 2018（平成 30 年 8 月 29 日）

論文名： ビアスイッチ FPGA 再構成時のスニークパス問題を回避するプログラミング順決定手法

著者名： 土井龍太郎(阪大、JSPS)、劉載勲、橋本昌宜 (大阪大学)

概要： 従来 FPGA の性能ボトルネックである SRAM 型スイッチを、不揮発性メモリ的一种であるビアスイッチで置換した FPGA に関する研究・開発が行われている。ビアスイッチ FPGA は縦と横に走る信号配線の交点にビアスイッチを配置したクロスバー回路により配線接続の切り替えを実現する。一方、スイッチのプログラミングに共用の信号配線を使用するため、回路のプログラミング状態によっては、プログラミング信号が回り込んで意図しないスイッチに与えられるスニークパス問題が生じる。本稿では、FPGA の正常な再構成を阻害するスニークパス問題の発生条件を明らかにし、スニークパス問題を回避するビアスイッチのプログラミング順序の決定手法を提案する。ループのないコンフィギュレーションにおいては常に提案手法が有効であることを示し、シミュレーションによる検証も行う。提案手法により、全ての実用上のコンフィギュレーションにおいて、スニークパス問題無く正常な再構成を実現できる。