

平成30年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2018

1. 受賞者: 塩見 準 (京都大学)

発表研究会: DA シンポジウム 2017 (平成 29 年 8 月 31 日)

論文名: アクセス頻度に応じた電圧調節によるオンチップメモリの消費エネルギー最小化

著者名: 塩見準, 石原亨, 小野寺秀俊 (京都大学):

概要: 集積回路素子の微細化に伴いソフトエラーによる集積回路の信頼性低下が問題となっている。本論文では、FDSOI プロセスにおける PMOS パストランジスタを用いた非多重化耐ソフトエラーFF (Flip-Flop) を 2 種類提案している。提案 FF は、既存の非多重化耐ソフトエラーFF である Stacked FF に比べて遅延時間を約 20%、消費電力を約 50%削減した。提案 FF を搭載したチップを試作し、中性子線によりソフトエラー耐性を評価した結果、中性子線起因のソフトエラー率をどちらも Stacked FF と比べて 1/7 以下に低減できることを示した。

2. 受賞者: 松本 大輝 (早稲田大学)

発表研究会: 第 181 回システムと LSI の設計技術研究会 (平成 29 年 11 月 7 日)

論文名: 多数決関数を用いた並列プレフィックス加算器の実現と最適化

著者名: 松本大輝, 柳澤政生, 木村晋二 (早稲田大学)

概要: 近年の FPGA やポスト CMOS デバイスでは、3 入力の多数決演算を効率よく実現でき、3 入力の多数決演算に基づく回路構成法が盛んに研究されている。これまで加算器等で素子削減が報告されていたが、具体的な構成法は示されていなかった。ここでは、プレフィックスグラフで表された加算回路を多数決演算でシステムティックに実現する手法と、桁上げ生成の性質を用いた多数決素子数削減手法を示している。提案削減手法で、プレフィックスグラフをシステムティックに実現する場合と比較して素子数および電力遅延積の削減を達成した。

3. 受賞者: 粟野 皓光 (東京大学)

発表研究会: DA シンポジウム 2018 (平成 29 年 8 月 31 日)

論文名: チャレンジヒステリシス特性を有する PUF の設計とシミュレーションに基づく性能評価

著者名: 粟野皓光 (東京大学), 佐藤高史 (京都大学)

概要: チャレンジヒステリシス特性を有する PUF の設計コンセプトを提案する。提案 PUF は格子状に配置された小型の Arbiter-PUF と、各 Arbiter-PUF のレスポンスを記憶する 1-bit の記憶素子から構成される。Arbiter-PUF は自身に隣接する Arbiter-PUF のレスポンスをチャレンジとして受け取り、新たなレスポンスを生成する。得られたレスポンスは、隣接する Arbiter-PUF に再帰的に入力され、カオティックな状態遷移を実現する。また、提案 PUF は再帰結合によって過去のチャレンジ入力系列を記憶できるため、同一のチャレンジを与えても、その入力順序によって異なる応答を示す。シミュレーション実験の結果、理想に近い 50.1%のチップ間、チャレンジ間ハミング距離を達成できることを示した。

4. 受賞者: 戸田 賢二 (産業技術総合研究所)

発表研究会: 第 183 回システムと LSI の設計技術研究会 (平成 30 年 3 月 8 日)

論文名: 装着型セキュリティ強化装置の開発

著者名: 戸田賢二, 古原和邦, 坂根広史 (産業技術総合研究所)

概要: PC やサーバなどの情報機器のセキュリティを強化するための装置の開発を行っている。後付けで、マザーボードと周辺機器の間に本装置を装着することで、指定したファイルやディスク領域の情報の読出しや書込みを検出し制御するなどのアクセス制御ができるものである。本装置は FPGA をベースとしており、中継可能な IO インタフェースは、SATA、USB、DVI、LAN である。ユーザは、本装置が直接ディスプレイに出力した情報に基づき、キーボードやマウスを操作して安全に本装置の操作を行うことができる。本稿では、これらの機能を述べその活用方法について考察する。

平成 30 年度 情報処理学会 CS 領域奨励賞 受賞者

DAシンポジウム2018

1. 受賞者：田中 悠貴（京都大学）

発表研究会：第 181 回システムと LSI の設計技術研究会（平成 29 年 11 月 7 日）

論文名：双安定リング回路の収束時間により瞬時値応答を得る発振回路 PUF

著者名：田中悠貴, 辺 松, 廣本正之, 佐藤高史（京都大学）

概要：偽造半導体チップの流通対策として、半導体の製造ばらつきを用いてチップの個体識別を行う PUF (Physical Unclonable Function) の研究が活発に行なわれている。PUF はある入力値を与えると、対応する出力値を返す関数として機能する回路である。再現性や一意性等の PUF の評価指標に加え、近年では、機械学習攻撃耐性も重視されているが、既存の PUF の多くは Support Vector Machine (SVM) 等の機械学習によりレスポンスの予測が容易である課題があった。本論文では、双安定リング回路の収束時間を用いる機械学習攻撃に強い PUF を提案する。提案回路は、双安定リング回路の収束時間がトランジスタのしきい値電圧ばらつきに対する線形性を持たないことを利用して、双安定リング回路の収束時における発振回路の瞬時値をレスポンスとして用いる。SPICE シミュレーションを用いた提案回路の解析により PUF の評価指標とともに SVM による予測割合が 0.5 程度となり、レスポンスの予測が困難であることを確認した。

2. 受賞者：山田 晃大（京都工芸繊維大学）

発表研究会：DA シンポジウム 2017（平成 29 年 9 月 1 日）

論文名：PMOS パストランジスタを用いた非多重化耐ソフトエラーFF の提案及び評価

著者名：山田晃大, 丸岡晴樹, 古田潤, 小林和淑（京都工芸繊維大学）

概要：集積回路素子の微細化に伴いソフトエラーによる集積回路の信頼性低下が問題となっている。本研究では、65nm FDSOI (Fully Depleted Silicon on Insulator) プロセスにおける PMOS パストランジスタを用いた非多重化耐ソフトエラーFF (Flip-Flop) を 2 種類提案する。TCAD シミュレーションを用いて、提案 FF の臨界 LET (Linear Energy Transfer) が $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ 以上であることを確認し、提案 FF を搭載したチップを試作した。提案 FF は、既存の非多重化耐ソフトエラーFF である Stacked FF に比べて遅延時間が約 20%、消費電力が約 50%削減できた。電源電圧 0.8V において、両提案 FF はどちらも Stacked FF と比べて中性子線起因のソフトエラー率を 1/7 以下に低減できることが判明した。この結果から、地上で利用する高信頼性 FF では NMOS トランジスタで起きるソフトエラー対策を施すことで高いソフトエラー耐性を得ることを明らかにした。