

平成29年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2017

1. 受賞者: 辺 松 (京都大学)

発表研究会: DA シンポジウム 2016, 平成 28 年 9 月 14 日

論文名: 機械学習による経年劣化タイミング解析手法

著者名: 辺松, 新谷道広, 廣本正之, 佐藤高史(京都大学):

本論文は、負バイアス温度不安定性(NBTI)に起因する回路の劣化後遅延を機械学習を用いることで高精度に推定可能なタイミング解析手法を提案している。数値実験の結果、SPICE によるタイミング解析と比べて誤差 3.42% 以内で経年劣化後の遅延を推定できることを示した。

2. 受賞者: 河塚 信吾 (徳島大)

発表研究会: 第 177 回システムと LSI の設計技術研究会, 平成 28 年 11 月 30 日

論文名: 微小遅延故障テストのための TDC 組み込み型スキャン FF の設計について

著者名: 河塚信吾, 四柳浩之, 橋爪正樹(徳島大)

本論文は、微小遅延故障テストのため、TDC(Time-to-Digital Converter) を組み込んだスキャン FF の設計している。この組み込みのために、従来の TDC 回路に対し、面積削減を行なっている。そして、シミュレーションの結果、タイミング余裕の観測を 183ps の分解能で行なうことが可能であることを確認した。

3. 受賞者: Fakir Sharif Hossain (NAIST)

発表研究会: 第 177 回システムと LSI の設計技術研究会, 平成 28 年 11 月 30 日

論文名: A Golden-IC Free Clock Tree Driven Authentication Approach for Hardware Trojan Detection

著者名: Fakir Sharif Hossain, Tomokazu Yoneda, Michiko Inoue(NAIST), Alex Orailoglu(UCSD)

本論文は、Hardware Trojan を検出するために、EPA(Equal-Power self-Authentication)と呼ばれる手法を提案している。この手法では、golden-IC を利用すること無しに、detection sensitivity を拡大する。また、クロック木を考慮したクロックゲーティングを利用することにより、Equal-power Pattern 対を十分な数保有する部分回路を決定する。実験により、回路面積の 0.023%をしめる Trojan 回路を検出することを確認した。

4. 受賞者: 増田 豊 (大阪大学)

発表研究会: DA シンポジウム 2016, 平成 28 年 9 月 14 日

論文名: 低電圧・長寿命動作に向けたクリティカルパス・アイソレーション手法

著者名: 増田豊, 尾上孝雄, 橋本昌宜(大阪大学)

本論文は、低電圧・長寿命動作に向けたクリティカル・アイソレーション手法を提案している。クリティカル・アイソレーション手法とは、本質的なクリティカルパス以外にスラックを与えて遅延故障発生率を削減する手法である。提案手法では、整数線形計画法を利用し、ゲートの故障率の総和を最大限削減する FF 組を選択している。実験の結果、面積オーバーヘッドが 1.4%の下で、V_{dd} の 25%削減効果を確認した。

平成 29 年度 情報処理学会 CS 領域奨励賞 受賞者

DAシンポジウム2017

1. 受賞者: 塩見 準(京都大学)

発表研究会: 第 179 回システムと LSI の設計技術研究会, 平成 29 年 3 月 9 日

論文名: ロジック部およびメモリ部の独立電源制御によるプロセッサの消費エネルギー最小化

著者名: 塩見 準, 石原 亨, 小野寺 秀俊 (京大)

本論文は, プロセッサの要求動作速度に応じた電源電圧およびしきい値電圧の調整による消費エネルギーの削減と, ロジック部とメモリ部の電源電圧およびしきい値電圧で独立した制御による消費エネルギーの削減を実現する手法を提案している. 前者では, 従来の DVFS 制御に比べて最大 32%の消費エネルギーが削減でき, 後者では, さらに 16%の消費エネルギーの削減が実現できることを 65nm DF-SOI プロセスで製造された RISC プロセッサにより確認した.

2. 受賞者: 多和田 雅師 (早稲田大学)

発表研究会: DA シンポジウム 2016, 平成 28 年 9 月 16 日

論文名: リードソロモン符号に基づいたマルチレベルセル不揮発性メモリ書き込み削減

著者名: 多和田 雅師, 柳澤 政生, 戸川 望(早稲田大学)

本論文は, マルチレベルセル不揮発性メモリに対し, 書き込み回数を削減することにより, 書き込み耐久性が低いマルチレベルセル不揮発性メモリの欠点を回避する手法を提案している. 論文では, リードソロモン誤り訂正符号が持つ冗長性を利用し, 従来のビット単位ではなく, シンボル単位で書き込み削減を行なうことを実現している. 結果として, 符号化を利用していないセルと比較して 3.5%, また, 従来手法による符号化と比較して, 1.5%の書き込み回数削減を確認した.