

## 平成28年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2016

### 1. 受賞者: 石原 亨 (京都大学)

発表研究会: 第 175 回システムと LSI の設計技術研究会, 平成 28 年 3 月 25 日

論文名: CMOS LSI におけるエネルギー最小点追跡のための電源電圧としきい値電圧の動的調節指針

著者名: 竹下 俊宏, 塩見 準, 石原 亨, 小野寺 秀俊 (京大):

電源電圧としきい値電圧を同時に調節することにより集積回路のエネルギー消費を大幅に削減することができる。MOS トランジスタのしきい値電圧はバックゲート電圧を変更することにより動的に調節可能である。マイクロプロセッサなどの集積回路のエネルギー消費を最小化する電源電圧としきい値電圧は、1) 回路に対する要求性能、2) 回路の活性化率、3) 回路の動作温度、に強く依存するため、エネルギー消費を常に最小に保つためには上記 3 つの条件の違いに合わせて電源電圧とバックゲート電圧を適切に調節することが重要である。本稿では、要求性能に合わせて CMOS LSI 回路のエネルギー消費を常に最小点に保つための電源電圧としきい値電圧の動的調節指針を提案する。プロセッサのクリティカルパスを模擬したインバータチェーン回路を用いて上記の指針を検証する。本論文は、CMOS LSI 回路における電圧調整の指針を与える価値の高い論文である。

### 2. 受賞者: 大屋 優 (早稲田大学)

発表研究会: 第 173 回システムと LSI の設計技術研究会, 平成 27 年 12 月 3 日

論文名: ゲートレベルネットリストの脆弱性を表現する指標

著者名: 大屋 優, 史 又華(早稲田大), 山下 哲孝, 岡村 利彦, 角尾 幸保(NEC), 柳澤 政生, 戸川 望(早稲田大)

近年チップの製造をサードパーティに外注するようになり、ハードウェアロイが挿入される可能性が高まってきた。本稿では、ゲートレベルネットリストの脆弱性を表現する指標として HT rank を提案する。HT rank はシミュレーションツールを使わずに、トロイネットの特徴に基づいて計算される。HT rank は全ての Trust-HUB, ISCAS85, ISCAS89, ITC99 のゲートレベルネットリストに加え、いくつかの OpenCores ゲートレベルネットリスト、そしてハードウェアロイの挿入されている AES と挿入されていない AES に対して、ハードウェアロイの有無を分類することに成功した。提案手法にかかる時間はネットリストの大きさに依存し、数秒から一日程度である。本論文は、ハードウェアセキュリティにおける脆弱性を評価する指針を与える価値の高い論文である。

### 3. 受賞者: 岸田 亮 (京都工芸繊維大学)

発表研究会: DA シンポジウム 2015, 平成 27 年 8 月 26 日

論文名: 65nm バルクおよび SOTB プロセスでのアンテナ比による製造時劣化の測定と評価

著者名: 岸田 亮, 小林和淑(京都工織大)

集積回路の配線加工工程で避けられない問題としてアンテナダメージがあるため、設計ルールで定められたアンテナ比の上限を守らなければならない。しかし、大規模な回路を設計するときは困難である。アンテナダメージを評価するため、アンテナ比を変えたリングオシレータの初期発振周波数がどのように変動するかを測定する。65 nm プロセスで試作して測定した結果、ルール上限値までは周波数の変動はなく、上限値以上からはアンテナ比増加に従って周波数が減少した。上限値の倍におけるアンテナ比での周波数は 2.2% 減少する。この結果は通常のバルクと 10 nm の薄い埋め込み酸化膜を持つ SOTB (Silicon On Thin BOX) で同じ傾向である。本論文は、集積回路の製造時劣化に対する知見を提供する価値の高い論文である。

### 4. 受賞者: 古城 辰朗 (早稲田大学)

発表研究会: DA シンポジウム 2015, 平成 27 年 8 月 26 日

論文名: クラスタリングによる書き込みビット数削減と誤り訂正を実現する不揮発メモリを対象とした符号の構成手法

著者名: 古城 辰朗, 多和田 雅師, 柳澤 政生, 戸川 望(早稲田大)

デバイスの微細化によって不揮発メモリに保存されている値が破壊されるリスクが増大する。メモリの値を破壊から守る手法として誤り訂正符号を利用してメモリを構成することが挙げられる。誤り訂正符号を用いたメモリでは符号語を書き込む際に反転するビット数が多いため、書き込みエネルギーが大きくなるという欠点があり、加えて、不揮発メモリの書き込みエネルギーは通常のメモリの 10 倍以上大きい。そのため、誤り訂正符号を用いて不揮発メモリを構成した場合、書き込むビット数を削減することが強く要求される。本稿では、誤り訂正符号の符号語をクラスタリングし、各クラスタに値を割り当てることで、書き込みビット数削減と誤り訂正を実現する符号を構成する。このような符号を構成するために効果的なクラスタリング手法を提案する。実験結果より、提案アルゴリズムで生成した符号を利用してメモリを構成した時、アプリケーションに対して書き込みビット数を最大 28.2%削減した。本論文は、不揮発メモリにおける消費エネルギー最小化に対する指針を与える価値の高い論文である。

## 平成28年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2016

### 1. 受賞者: 栗野皓光(京都大学(発表時))

発表研究会: DA シンポジウム 2015, 平成 27 年 8 月 28 日

論文名: デバイス特性の経年劣化に起因する不良確率変化の効率的な解析手法

著者名: 栗野皓光, 廣本正之, 佐藤高史(京都大学)

本論文は、半導体の特性劣化に起因する不良確率の時間変化を効率的に解析する手法を提案している。従来手法では、劣化によって経時変化する不良確率を解析するためには、複数回の解析が必要であったのに対し、提案手法では、Augmented reliability 問題と Subset simulation を組み合わせた効率の良い不良確率計算の枠組みを構成し、1回の解析のみで推定する。実験により、従来手法と同等の精度を保持しつつ、解析時間を1/10程度まで高速化できることを示した。本論文は、半導体の特性劣化に起因する不良確率の時間変化を高速に解析する手法を提案する価値の高い論文である。

### 2. 受賞者: 辺 松 (京都大学)

発表研究会: DA シンポジウム 2015, 平成 27 年 8 月 28 日

論文名: Fast estimation on NBTI-induced delay degradation based on signal probability

著者名: Song Bian, Michihiro Shintani, Masayuki Hiromoto, Takashi Sato(Kyoto University)

本論文は、NBTIによる遅延劣化に対し、静的遅延解析とシミュレーションに基づくLUTを用いた高速評価手法を提案する。ここでは、異なる劣化レベル、異なる負荷容量、及び、異なる入力端子数におけるゲートをそれぞれモデル化し、これらを利用してパス遅延を効率良く評価する。提案手法の有効性を確認するため、5段のパイプライン構造を持つプロセッサを対象に、シミュレーション結果と比較して、13%程度の誤差におさえつつ5760倍高速化を実現した。本論文は、経時劣化を評価する高速手法を提案する価値の高い論文である。