

平成26年度 システムとLSIの設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2014

1. 受賞者: 木村晋二 (早稲田大学)

発表研究会: DA シンポジウム 2013, 平成 25 年 8 月 21 日

論文名: FPGA における乗算回路の低電力メモリベース設計

著者名: 木村晋二、樺沢皓介(早大)、浜口清治(島根大)、松永多苗子(九産大)、杉林直彦(NEC)

近年のプロセスの微細化に伴い、FPGA の内部に多くの組込みメモリが搭載されるようになった。このため、演算回路の実現に Logic Element (Advanced Logic Module)だけでなくメモリを使用することも可能となった。メモリを用いることで、Logic Element の出力のトグルを削減することが可能で、動的電力の削減に貢献できる可能性がある。本論文では、乗算器に対する低電力メモリベース設計手法を提案した。単純なメモリベース実現では、演算機の入力数に対して指数的なメモリ容量となるので、メモリ量の削減手法が重要である。本論文では、メモリ分割法と入力分割手法を用いた電力削減を提案した。

2. 受賞者: 中武繁寿(北九州市立大学)

発表研究会: 第 162 回システム LSI 設計技術研究会, 平成 25 年 10 月 8 日

論文名: 多段階チャンネル長分解型のプログラマブル遅延素子を伴う遅延同期回路

著者名: 張 宇・李 明玉・董 青・中武繁寿(北九州市大)・楊 波(設計アルゴリズム研)

遅延可変素子は、様々な種類の高速度集積回路において主に遅延補正やスキュー調整などの目的に利用されている。この論文では、多段階のプログラマブル遅延素子(Programmable Delay Element, PDE)を用いた遅延同期回路(Delay Locked Loop, DLL)を提案した。PDE はチャンネル長分割(L-decomposed)されたトランジスタを利用し、遅延調整する。デジタル入力コードにより、分割トランジスタの組合せを制御し、チャンネル長の変化させ、効果的に遅延を変化させることができる。提案した DLL は、異なる製造プロセスへ移行の観点で優れている。また、多段階のチャンネル長分割 PDF が線形性と広いロックレンジを有することを示した。

3. 受賞者: 松永裕介(九州大学)

発表研究会: DA シンポジウム 2013, 平成 25 年 8 月 22 日

論文名: 完全ハッシュ関数のハードウェア向け実装について

著者名: 松永裕介(九州大学)

与えられたデータの集合に対して重複しないインデックスを返す関数を完全ハッシュ関数と呼ぶ。本論文では、ハードウェア実装に適した完全ハッシュ関数の構成法を提案した。ランダムに生成されたデータ群、および、東京証券取引所で用いられている証券コードから生成されたデータ群を用いて、実験を行った。実験により、キー集合を区別できる入力変数の部分集合を用いたヒューリスティックが有効であることが分かった。

4. 受賞者: 松村哲哉(日本大学)

発表研究会: 第 162 回システム LSI 設計技術研究会, 平成 25 年 10 月 7 日

論文名: メモリをベースにした省電力 MCU 内蔵フィールドプログラマブルデバイス

著者名: 松村哲哉(日大)・川村嘉郁(ルネサス エレクトロニクス)・岡田尚也(金沢大)・有本和民(岡山県立大)・牧野博之(阪工大)・松田吉雄(金沢大)

メモリをベースにしたフィールドプログラマブルシーケンサ&メモリ(FPSM)のアーキテクチャが報告されている。FPSMは内蔵メモリとして動作するだけでなく自律的な状態遷移制御をCPUと独立して実行することができ、MCU内蔵のフィールドプログラマブル周辺機能を実現する。本論文ではFPSMの具体的な構成について提案し、各周辺機能のシミュレーションによる動作検証とFPGAボード上での実装評価結果について報告した。FPGAボードは最大50MHzで動作し、タイマー、シフター、シリアルIO、FIFO、およびPulse Width Modulation (PWM)等の基本的な周辺回路機能の動作がFPGA実装評価により確認された。

平成26年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2014

1. 受賞者: Islam A.K.M. Mahfuzul(京都大学)

発表研究会: DA シンポジウム 2013, 平成 25 年 8 月 22 日

論文名: チップ間およびチップ内ばらつきを評価可能な再構成可能遅延モニタ回路

著者名: Islam A.K.M. Mahfuzul (京大)、小野寺秀俊(京大/JST)

本論文はチップ間及びチップ内ばらつきをオンチップでモニタする回路を提案した。提案したモニタ回路はリング発振回路であり、構成するインバータは構成可変である。特定インバータ段の遅延がリング回路の周波数に支配的となるような構造を用いると、チップ内トランジスタ間のばらつきをモニタできる。また、すべてのインバータ段を pMOSFET あるいは nMOSFET に敏感な構造にすることにより、チップ間ばらつきをモニタできる。

2. 受賞者: 中村陽二 (東京大学)

発表研究会: DA シンポジウム 2013, 平成 25 年 8 月 22 日

論文名: LSI セキュリティ対策のための集積回路の表面磁界分布からの動作状態推定

著者名: 中村陽二、飯塚哲也、浅田邦博 (東京大学)

チップ製造の外部委託が進んでいる現在、回路に対し悪意のある変更がチップ製造段階で行われる危険性が増している。しかしながら、非破壊で安全性を判定し、さらに誤動作部位を特定することは困難である。そこで、悪意のある回路の変更を発見するため、高精細磁界プローブを用いたシステムが提案・開発されている。本論文では、このシステムにより得られた磁界データを用いて、提案する回路動作状態推定手法を提案し、実証した。また、観測対象から磁界測定点の距離と推定精度との関係を示した。