

平成23年度 システムLSI設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2011

1. 受賞者: 吉田浩章 (東京大学)

発表研究会: DA シンポジウム 2010, 平成 22 年 9 月 2 日

論文名: 製造後機能修正可能な高電力効率アクセラレータの高位設計手法

著者名: 吉田浩章、藤田昌宏 (東大)

チップ製造後に機能修正可能な高電力効率なアクセラレータ, およびコンパイル手法を提案した。先端 SoC には多数のアクセラレータが搭載されているが, 仕様変更や設計誤りに対処するため, 製造後に機能修正可能なアクセラレータが注目されている。従来の機能修正可能なアクセラレータでは, 制御回路をメモリで実現していたため, 電力効率が悪いという問題点があった。提案手法では, 制御回路の大部分を結線論理で実現し, 部分的にメモリを利用する。評価結果から, 制御回路をメモリで実現する場合と比べて, 消費電力を 83%削減できることを確認した。

2. 受賞者: 古田潤 (京都大学)

発表研究会: DA シンポジウム 2010, 平成 22 年 9 月 3 日

論文名: バッファチェーンにおけるパルス幅縮小現象を利用した SET パルス幅測定回路

著者名: 古田潤(京大)、小林和淑(京都工繊大)、小野寺秀俊(京大)

組み合わせ回路に粒子線が衝突した際に発生する一過性パルス(SET(Single Event Transient)パルス)の長さを高精度で測定する回路を提案した。従来回路では, 分解能が数十 ps と大きいなどの問題点があった。提案回路は, シフトレジスタとバッファチェーンを組合せた構造を持ち, パルス幅縮小現象を利用することで, SET パルス幅を高分解能で測定する。提案回路を 65nm プロセスで試作・測定した結果, 分解能が 0.43ps であることを確認し, さらに粒子線を試作チップに照射する実験により, 1GHz 動作の場合に SET パルスへの対策が必要となることを明らかにした。

3. 受賞者: 森本和志 (関西学院大学, 2011 年 4 月より株式会社野村総合研究所)

発表研究会: 第 148 回 SLDM 研究会, 平成 23 年 1 月 17 日

論文名: プログラム併合によるコンパイラのリグレッションテストの高速化

著者名: 森本和志、石浦菜岐佐(関西学院大)、内山裕貴(ケイ・オプティコム)、引地信之((株) SRA)

コンパイラのテストを高速化する手法を提案した。コンパイラの開発段階では, 機能追加や不具合修正に伴い, 多数のテストプログラムを頻繁に実行する必要があるが, テストに時間がかかる問題があった。提案手法では, 複数のテストプログラムを併合することで, ファイルのオープン・クローズの回数を削減し, テスト実行時間を短縮する。テストプログラムの併合を自動化するスクリプトを開発し, 評価実験を行った結果, 約 9000 ファイルのテストプログラムを 117 ファイルに併合し, テスト実行時間を, Cygwin で平均 1/44.2, Ubuntu で平均 1/7.7 に削減できることがわかった。

4. 受賞者: 和泉慎太郎 (神戸大学)

発表研究会: 第 146 回 SLDM 研究会, 平成 22 年 10 月 6 日

論文名: ネットワーク型マイクロホンアレイ間のデータ集約による音声信号ビームフォーミング

著者名: 和泉慎太郎、野口紘希、高木智也、久賀田耕史、祖田心平、吉本雅彦、川口 博(神戸大)

マイクアレイの電力消費, データ伝送量を削減するためのネットワーク型マイクアレイシステムを提案した。マイクの使用を意識せずに使用できる音声インターフェース実現には大規模なマイクアレイが有効だが, 大規模化に伴い, 消費電力やコストが増大する問題がある。大規模なマイクアレイを, 16 個のマイクからなるサブアレイ単位で分割し, 発話検知, ビームフォーミング等を分散処理することで, 電力消費, データ伝送量を削減する方法を提案した。FPGA ボードを使用してシステムを開発し, 3 個のサブアレイを使用した実証実験により, 正しく動作することを確認した。

平成23年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2011

1. 受賞者: 中原 啓貴 (九州工業大学)
発表研究会: 第 148 回 SLDM 研究会, 平成 23 年 1 月 18 日
論文名: オートマトンの分割に基づく正規表現マッチング回路の実現について
著者名: 中原啓貴, 笹尾 勤, 松浦宗寛(九工大)

ネットワーク機器における侵入検知システム等で必要となる高速な正規表現マッチングを安価な FPGA で実装する方法を提案した。具体的には、1文字ずつの遷移ではなく文字列で遷移する非決定性オートマトン(MNFAU)に基づいて正規表現マッチングを行う方法を提案した。MNFAU を DFA と NFA に分解することで、組込みメモリと LUT を効率良く使用した実装を可能にしている。従来手法と比較して、提案手法が組込みメモリおよび LUT の使用効率において優れていることを、理論的な解析、および、FPGA への実装による評価の両面から明らかにした。

2. 受賞者: 寺田 祐太 (電気通信大学) (受賞時 株式会社アパールデータ)
発表研究会: 第 148 回 SLDM 研究会, 平成 23 年 1 月 18 日
論文名: FPGA を用いたデータストリームに対するウィンドウジョインの検討
著者名: 寺田祐太, 三好健文(電通大), 川島英之(筑波大), 吉永 努(電通大)

センサデータ等のストリームデータを対象としたクエリの中で重要な演算の一つであるウィンドウジョインを、FPGA 上で並列性を活かしながら効率良く実行するためのアーキテクチャを提案した。具体的には、ウィンドウジョイン演算へ入力される二つのデータストリームを並列処理するとともに、演算中の処理である、入力層、マッチ層、出力層をパイプライン化した。提案アーキテクチャを FPGA に実装して定量的に評価した結果、2 の 16 乗個のバッファサイズを持つウィンドウジョインを、1ms 程度までの周期で生成されるデータストリームに対して処理可能であることを明らかにした。