

平成22年度 システムLSI設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2010

1. 受賞者: 橋本昌宜(大阪大学)

発表研究会: DA シンポジウム 2009, 平成 21 年 8 月 26 日

論文名: 電源ノイズや製造ばらつきによるクロックジッタ・スキューを考慮した統計的タイミング解析

著者名: 橋本昌宜、榎並孝司、新開健一、二宮進有、阿部慎也(阪大)

製造ばらつきと、電源ノイズによる遅延変動を考慮した統計的タイミング解析手法を提案した。提案手法では、連続するクロック間のノイズ相関を適切にモデル化するとともに、スラック計算で発生する構造相関の問題に対処するため、各クロックドライバに個別の確率変数を割り当てることで、クロックスキューの見積りの精度を大幅に改善することが可能になる。提案手法を 90nm プロセスで設計された実品種のプロセッサに適用した結果、動的な遅延変動によりセットアップが 500ps 以上も減少し、ホールドスラックが 16.4ps 減少することを確認した。

2. 受賞者: 吉田浩章 (東京大学)

発表研究会: 第 142 回 SLDM 研究会, 平成 21 年 12 月 4 日

論文名: 設計固有セルライブラリの自動生成手法

著者名: 吉田浩章・藤田昌宏(東大)

高性能 ASIC 設計を対象として、特定の設計に最適化された論理関数や駆動能力を持つセルライブラリを自動生成する手法を開発した。理想的には、各論理ゲートに対してトランジスタレベルの最適化を行うことが可能だが、セル数が現実的な範囲に収まらない。提案手法は、まずセル数に制約がないものとして最適化を行い、次に設計制約を満たす範囲でセル数の最小化を行うという2段階からなる。評価結果から、面積最小回路同士の比較では面積が 27.3%改善し、遅延最小回路同士の比較では遅延が 22.4%改善することを確認した。

3. 受賞者: 伊達貴徳 (東京工業大学, 2010 年 4 月より沖電気工業)

発表研究会: 第 142 回 SLDM 研究会, 平成 21 年 12 月 3 日

論文名: 重点的サンプリングにおける平均値移動量の決定手法とその SRAM 歩留り解析への適用

著者名: 伊達貴徳(東工大), 萩原汐(東工大), 益一哉(東工大), 佐藤高史(京大)

トランジスタの製造ばらつきのもとでの SRAM 回路の歩留まり解析を、効率的かつ安定に行う方法を提案した。従来のモンテカルロ法では、歩留まり解析のような生起確率の低い事象に対して精度を得るには、多大な計算時間を必要とする問題があった。提案手法は、重点的サンプリングに基づく手法を拡張し、不良領域の事前知識が無くても、自動で適切な移動ベクトルを検索する。提案手法を 6トランジスタにより構成される SRAM セルの歩留まり推定に適用し、データ読み出し時および保持時における不良率を計算した結果、従来のモンテカルロ法と比較して、最大で10⁶倍以上の高速化を確認した。

4. 受賞者: 西原 佑 (東京大学)

発表研究会: DA シンポジウム 2009, 平成 21 年 8 月 26 日

論文名: ハードウェア/ソフトウェア協調設計の形式的検証における同期点の抽出による効率的な状態削減手法

著者名: 西原 佑、松本剛史、藤田昌宏(東大)

ハードウェア/ソフトウェア協調設計を効率的に形式的検証する手法を提案した。形式的検証の利用により、シミュレーションパタンに依存しない検証が可能になるが、従来手法ではハードウェアとソフトウェアに加えて、割り込みが独立したプロセスとして扱われるため、状態数が爆発し、検証時間が長いという問題点があった。本論文では、ハードウェア・ソフトウェア間の通信を共有変数へのアクセスとして抽象化し、各プロセスを FSMD へ変換した後で、通信に伴う同期点の抽出と、抽出した同期点に基づいて並列プロセスの逐次化を行う手法を提案した。既存手法と比較した結果、検証時間を 1/100 以下に削減できることがわかった。

平成22年度 情報処理学会 CS領域奨励賞 受賞者

DAシンポジウム2010

1. 受賞者:小暮 武 (神戸大学) (受賞時 村田製作所)

発表研究会: 第 142 回 SLDM 研究会, 平成 21 年 12 月 3 日

論文名: ハイブリッド型 CMOS 論理構成の 4-2 加算器による乗算器のグリッチ削減

著者名: 小暮 武, 藤岡達也, 雫 譲, 廣瀬哲也, 黒木修隆, 沼 昌宏(神戸大)

グリッチによる不要な信号遷移を削減することで、低消費エネルギー・高性能な乗算器を実現する方法を提案した。従来の付加回路を伴うグリッチ削減方法では、面積や消費エネルギーのオーバーヘッドが問題であった。また、最小ゲート幅を持つ MOSFET を利用した RC フィルタによるグリッチ削減方法では、遅延増大等の問題があった。提案手法では、4-2加算木型乗算器を、パストランジスタ・トランスミッションゲートとCMOS論理を組合せた構成とすることで、グリッチを削減する。0.18um プロセスでシミュレーションした結果、配列型乗算器と比べ、電力を52%、グリッチを約1/12に削減できた。

2. 受賞者:西川 尚紀 (防衛大学校) (受賞時 自衛隊)

発表研究会: 第 143 回 SLDM 研究会, 平成 22 年 1 月 27 日

論文名: CUDA による AES 実装のための計算粒度最適化手法

著者名: 西川尚紀, 岩井啓輔, 黒川恭一(防衛大)

AES 暗号化をグラフィックスプロセッサ(GPU)上で高効率に並列実行するための最適化方法を提案した。近年, CUDAと呼ばれる拡張C言語により, GPUを利用した処理の並列実行が可能になっているが, 高性能な並列実装には, 人手による反復実験が伴い, 最適化戦略が必要となる。そこで本論文では, AES 暗号化を例としてGPUへの実装を行い, 平文の(1)データ型, (2)共有メモリ中での配置方法, (3)スレッドへの分割方法, を変化させたときの性能への影響を定量的に評価するとともに, 汎用プロセッサと比べて47倍高速な実装を実現した。