

## 平成 15 年度 システム LSI 設計技術研究会 優秀論文賞受賞者

受賞者： 五十嵐 睦典 氏（東芝）

論文名： 斜め配線手法と RISC プロセッサコアへの適用事例

共著者： 三橋 隆（東芝）, Andy Le, Shardul Kazi（ArTile Microsystems, Inc.）,  
Yang-Trung Lin, Aki Fujimura, Steve Teig（Simplex Solutions, Inc.）

発表研究会： 第 106 回研究発表会

論文概要： 斜め方向の配線を駆使することを特徴とした SoC（System-on-Chip）設計のための配線構造、およびそれを用いたレイアウト設計手法を提案している。128bit RISC プロセッサコアに適用した結果、20% のパス遅延改善と 10% の面積縮小が達成された。

受賞者： 岡田 健一 氏（京都大学）[現在 東京工業大学]

論文名： CMOS 論理ゲートにおけるセル内特性ばらつきを考慮した統計的遅延モデル化手法

共著者： 山岡健人, 小野寺秀俊（京都大学）

発表研究会： 第 107 回研究発表会（デザインガイア 2002）

論文概要： CMOS プロセスにおけるトランジスタ特性の変動要因となる製造ばらつきの見積りに関して、論理ゲート内のトランジスタ間ばらつきを考慮したゲート遅延ばらつきモデルを提案している。提案モデルは、トランジスタ特性を共通成分と独立変動成分に分けて、それらの変動量から遅延時間を与える。ゲート内ばらつきを考慮することで、ベンチマーク回路に対する解析精度が 31.8% 改善されることを確認した。

受賞者： 金本 俊幾 氏（三菱電機）[現在 ルネサステクノロジ]

論文名： 0.1  $\mu\text{m}$  級 LSI の遅延計算における寄生インダクタンスを考慮すべき配線の統計的選別手法

共著者： 佐藤 高史（日立）[現在 ルネサステクノロジ], 黒川 敦（三洋電機）[現在 半導体理工学研究センター], 川上 善之（松下電器）, 岡 宏規（NTT アドバンステクノロジー）,  
北浦 智靖（富士通研）, 池内 敦彦（東芝）, 小林 宏行（日本シノプシス）,  
橋本 昌宜（京都大学）

発表研究会： DA シンポジウム 2002

論文概要： 統計的に寄生インダクタンス L の影響を考慮すべき配線を選別する手法を提案している。3D フィールドソルバおよび回路シミュレータを用いて RC 遅延と RLC 遅延の差（RC 遅延誤差）を求め、応答曲面法（RSM）を用いて解析し、駆動ゲートの強さ、配線長、幅等の配線構造パラメータに対して寄生インダクタンスの考慮が必要となる値の組合せを選別する。提案手法を 0.1  $\mu\text{m}$  プロセスの配線構造に適用した結果、配線幅が最小線幅の 5 倍を超えると RC 遅延誤差が 20% を超えることが判明した。

受賞者： 朱 強 氏（富士通研究所）

論文名： UML を用いたシステムレベル設計手法の提案

共著者： 桑村 慎哉, 松田 明男（富士通研）, 庄司 稔, 長井 寛志（富士通）, 中田 恒夫（富士通研）

発表研究会： DA シンポジウム 2002

論文概要： UML（Unified Modeling Language）を用いたシステムレベル開発プロセスを提案している。オブジェクト指向分析技術を用いた要求分析を行い、その結果に基づいて機能モデル、アーキテクチャモデルを構築する。さらに機能モデルからアーキテクチャモデルへのマッピングによって性能モデルを導き、SystemC で実行可能なモデルを構築して性能解析を行う。提案した開発プロセスによって、顧客の要求を正確に理解せずに設計する機能リスクと、詳細設計の結果が性能を満たさない性能リスクの早期解消を図ることが可能となった。

（氏名の掲載は五十音順、所属は論文発表時）