

平成 14 年度システム LSI 設計技術研究会優秀論文賞受賞者

受賞者: 石原 亨 氏 (東京大学)

論文名: ディープサブミクロン時代におけるキャッシュメモリのリーク電流削減手法

共著者: 浅田 邦博 (東京大学)

発表研究会: 第 103 回研究発表会 (デザインガイア 2001)

論文概要: キャッシュメモリの高速化とリーク電流の削減を目的としたアーキテクチャレベルの手法を提案している。キャッシュメモリのアレイ部分を幾つかのブロックに分割し、少数のブロックのみを低閾値で動作させることにより高速アクセスかつ低リーク電流を可能にする。過去の履歴情報から次にアクセスされるブロックを予測し、閾値を動的に変更させることにより、アクセス時間を増加させることなくキャッシュメモリのリーク電流を 1/20 に削減できることを確認した。

受賞者: 梶原 誠司 氏 (九州工業大学)

論文名: テストパターン変換によるテスト時の消費電力低減手法

共著者: 宮瀬 紘平, 瓦林 悟 (九州工業大学)

発表研究会: DA シンポジウム 2001

論文概要: フルスキャン順序回路に対して、テストパターン印加時の消費電力を低減させる手法が提案されている。与えられたテストパターンに含まれるドントケア入力、すなわち故障検出率に影響のない入力を見つけ、スキャン動作における回路内のゲートの信号値変化回数が低減するように信号値を割り当てる。実験の結果、ゲート信号値変化回数を平均で 30%、大規模回路については 50% 以上削減する効果が得られた。

受賞者: 土谷 亮 氏 (京都大学)

論文名: VLSI 配線の伝送線路化を考慮した駆動力決定手法

共著者: 小野寺 秀俊 (京都大学)

発表研究会: DA シンポジウム 2001

論文概要: 伝送線路の特性をもつ信号配線を駆動するために必要十分なドライバ駆動力の決定方法を提案している。提案手法では、電流電圧特性からドライバ等価抵抗を求めることにより、配線に入射する電圧を高い精度で決定することができ、波形の乱れを起こすことなく信号を電磁波速度で伝搬できる。回路シミュレーションの結果、提案手法が 0.07 μm プロセスまで有効であることを確認した。

受賞者: 八木 幹雄 氏 (神戸大学)

論文名: 高速低消費電力論理回路方式 ASDL のパイプライン化手法とその評価

共著者: 森本 薫夫, 瀧 和男 (神戸大学), 北村 清志 (エイ・アイ・エル)

発表研究会: 第 103 回研究発表会 (デザインガイア 2001)

論文概要: 信号の立上り遷移と立下り遷移に要する時間を意図的に非対象とすることで高速化を図った 2 線 2 相式論理回路 ASDL に関して、そのサイクルタイムを短縮するための手法を提案した。本手法は回路を前半と後半に分け、それぞれで有効値と休止値を交互に伝搬させた。これにより休止値伝搬を有効値伝搬の裏に隠し、サイクルタイムを遅延時間に等しくすることが可能となり、サイクルタイムが短縮できた。16 ビット乗算器に対する設計・評価の結果、サイクルタイムは 1.76~1.96 ns となり、本手法適用前に比べ 51%~57% に短縮されることを確認した。

(氏名の掲載は五十音順、所属は論文発表時)

平成 14 年度情報処理学会山下記念研究賞受賞内定者
- システム LSI 設計技術研究会関連 -

受賞内定者: 梶原 誠司 氏 (九州工業大学)

論文名: テストパターン変換によるテスト時の消費電力低減手法

共著者: 宮瀬 紘平, 瓦林 悟 (九州工業大学)

発表研究会: DA シンポジウム 2001

論文概要: フルスキャン順序回路に対して, テストパターン印加時の消費電力を低減させる手法が提案されている。与えられたテストパターンに含まれるドントケア入力, すなわち故障検出率に影響のない入力を見つけ, スキャン動作における回路内のゲートの信号値変化回数が低減するように信号値を割り当てる。実験の結果, ゲート信号値変化回数を平均で 30%, 大規模回路については 50% 以上削減する効果が得られた。

受賞内定者: 橋本 昌宜 氏 (京都大学)

論文名: セルベース設計における連続的トランジスタ寸法最適化による消費電力削減手法

共著者: 小野寺 秀俊 (京都大学)

発表研究会: DA シンポジウム 2000

論文概要: セルベース設計の枠組みの中でセル内のトランジスタを連続的に縮小し, 消費電力を削減する手法を提案している。セル内のトランジスタサイズを任意に変更することによりセルベース設計の冗長性を解消する。0.35 μm のプロセスで 5 つのベンチマーク回路を用いて消費電力の削減効果を評価した。初期回路の遅延時間を遅延制約として与えて消費電力の最適化を行ったところ, 消費電力を最大 77%, 平均 66% 削減可能となった。

(氏名の掲載は五十音順, 所属は論文発表時)